

ELEKTROTEHNIČKI FAKULTET
UNIVERZITET U BEOGRADU



LABORATORIJSKE VEŽBE IZ PREMETA PROJEKTOVANJE
FOTONAPONSKIH SISTEMA

**Simulacija regulacije PV sistema
priključenog na distributivnu mrežu**

Vežbu pripremili:
Aleksandar Tatlović
Filip Cvejić
Ružica Cvetanović

Predmetni profesor:
Prof. dr Zoran Radaković
Predmetni asistent:
As. Milica Jevtić

Decembar, 2019.

1 Uvod

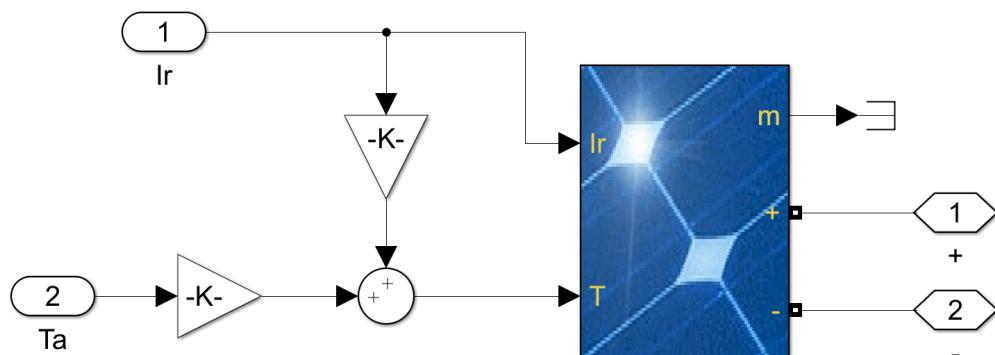
U softverskom paketu MATLAB/Simulink formirana je simulacija čiji je cilj da ilustruje upravljanje fotonaponskim sistemom koji je priključen na naizmeničnu distributivnu mrežu. Ovaj sistem, na čijem ulazu se nalazi fotonaponski panel, sastoji se iz DC-DC pretvarača, jednosmernog međukola (DC link) i invertora u sklopu koga se nalazi i mrežni filter za povezivanje sistema na mrežu.

Upravljanje DC-DC pretvarača je koncipirano tako da električna energija koju panel proizvodi bude maksimalna moguća za date ambijentalne uslove (iradijacija i temperatura). Tom energijom se puni kondenzator jednosmernog međukola. Invertor je strujno regulisan, a referenca za aktivnu komponentu struje se određuje tako da napon na DC linku ostane konstantan i jednak referentnoj vrednosti.

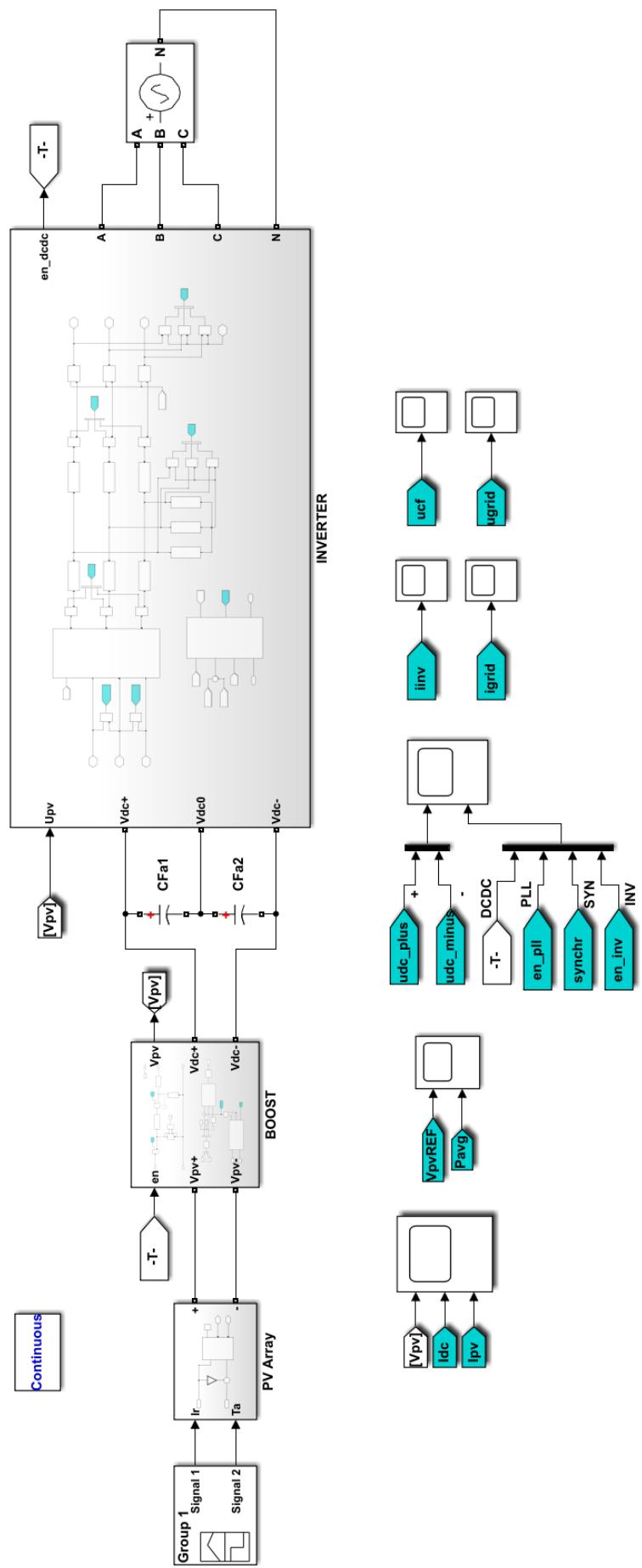
Simulacioni model, prikazan na slici 2, sastoji se iz blokova u okviru kojih su realizovani pomenuti delovi fotonaponskog sistema. Podešavanje parametara korišćenih u okviru simulacije obavlja se u funkciji spojen_init.m koja se automatski poziva prilikom pokretanja simulacije. Neophodno je samo da init.fajl bude u istom folderu kao i sama simulacija. U nastavku će biti objašnjen najpre PV blok, zatim blok koji sadrži DC-DC pretvarač i konačno inverzor blok.

2 PV blok

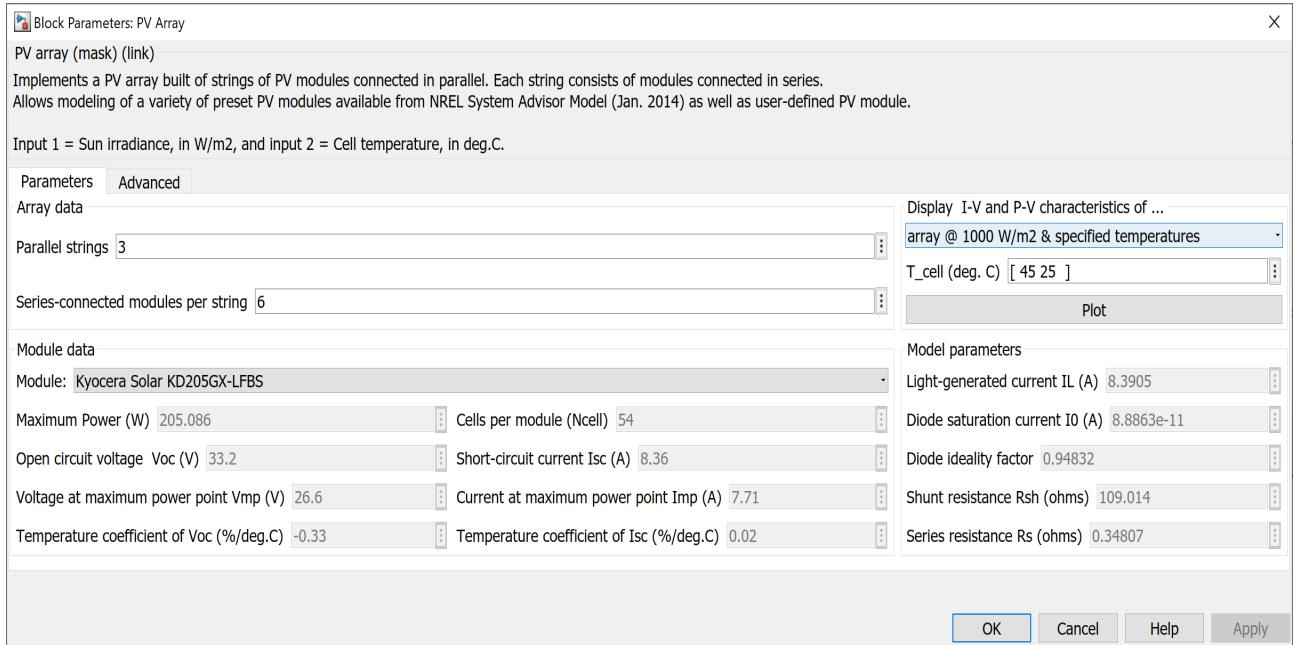
Na slici 1 prikazana je struktura PV bloka unutar koga se nalaze statički termički model i model PV panela koji je dostupan u okviru biblioteke Simscape/ElectricalSpecialized/Power systems/Renewables/Solar. Ulazne promenljive PV bloka su temperatura i iradijansa. Statički termički model, implementiran kao što je opisano u materijalima sa predavanja 4, proračunava temperaturu panela na osnovu ulaznih ambijentalnih veličina (iradijacije i temperature ambijenta). Podešavanje parametara ovog bloka prikazano je na slici 3. Moguće je odabrati model PV modula, kao i broj modula vezanih na red i broj stringova vezanih u paralelu tako da formiraju panel. Moguće je skicirati I-V i P-V karakteristiku panela za opseg temperature ili iradijacije.



Slika 1: Struktura bloka kojim je modelovan fotonaponski panel.



Slika 2: Simulacioni model PV sistema u softverskom paketu MATLAB/Simulink.



Slika 3: Podešavanja u okviru modela fotonaponskog panela

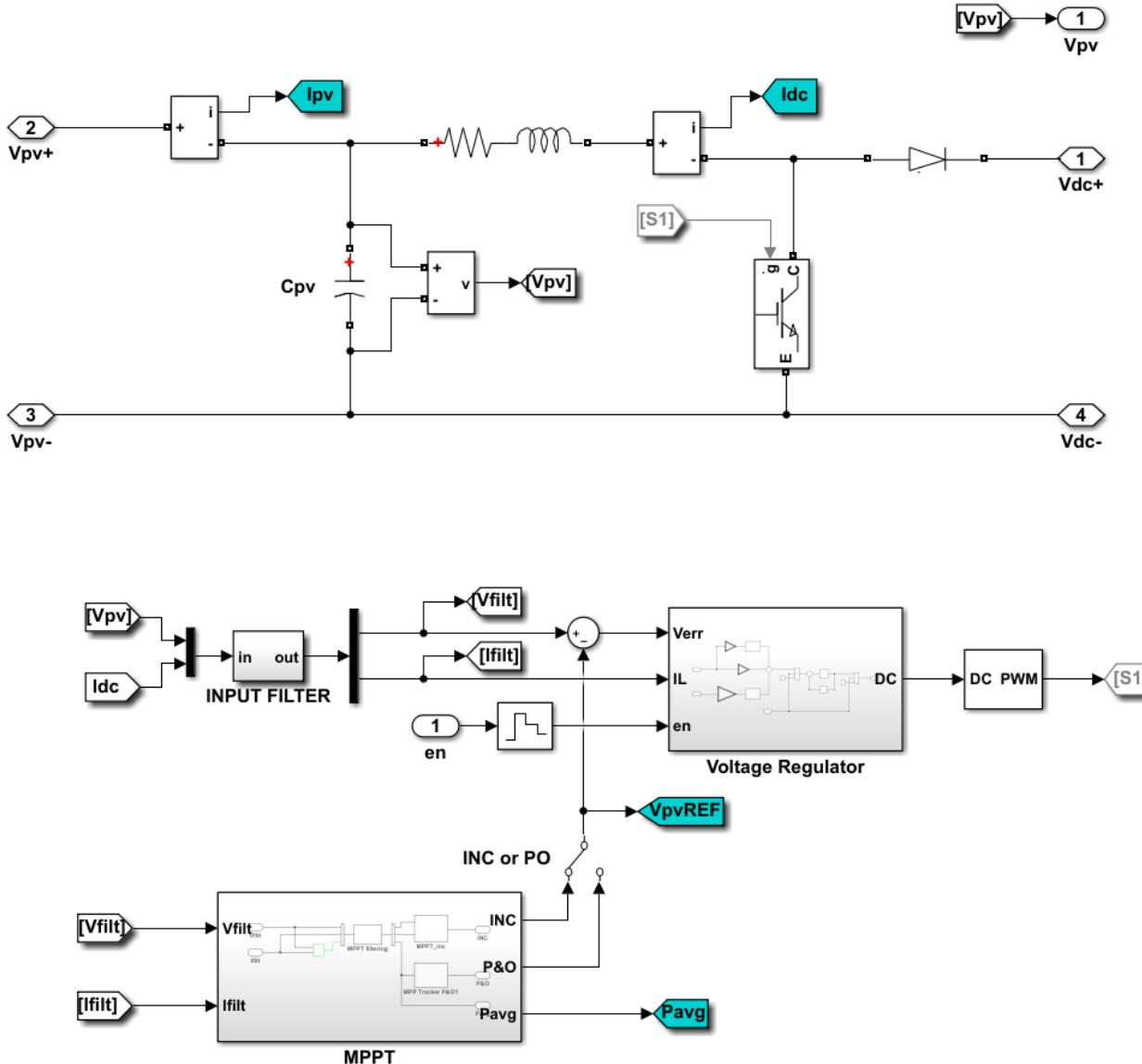
3 DC-DC pretvarač

Struktura bloka kojim se realizuje funkcionalnost i ilustruje upravljanje DC-DC pretvaračem u okviru fotonaponskog sistema a uz praćenje tačke makismalne snage prikazan je na slici 4. Uočavamo 2 celine: energetki deo i upravljački deo. U nastavku će najpre biti dato teorijsko objašnjenje a potom će ukratko biti opisane pomenute celine.

3.1 Teorijsko objašnjenje

Preko DC-DC pretvarača fotonaponski moduli povezani su na jednosmerno međukolo (kod FN sistema povezanih na naizmeničnu mrežu na njega se povezuje ulaz invertora, a postoji i varijanta da ovo jednosmerno međukolo ustvari predstavlja izlaz iz pretvarača, sa koga se napajaju prijemnici - koncepti topologija FN sistema su prikazani u okviru predavanja 5). Osnovni zadatak DC-DC pretvarača je da energiju koju generišu fotonaponski moduli injektuje u jednosmerno međukolo, istovremeno podešavajući radnu tačku fotonaponskih modula tako da se pri datim ambijentalnim uslovima generisanje energije odvija maksimalnom mogućom snagom. Drugi eventualni zadatak DC-DC pretvarača, koji ovde nije realizovan, je da obezbedi galvansko odvajanje fotonaponskih modula od mreže.

Algoritmi za praćenje tačke maksimalne snage (eng. *Maximum power point tracking - MPPT*) predstavljaju osnovni deo upravljanja DC-DC pretvaračem i opisani su u okviru predavanja 14. U laboratorijskoj vežbi će se izvršiti simulacije rada DC-DC pretvarača sa 2 najčešće korišćena MPPT algoritma – algoritmom P&O (eng. *Perturbe and observe*) i algoritmom inkrementalne konduktanse. Oba algoritma su detaljno prikazana u tekstu predavanja.



Slika 4: Simulacioni model DC-DC pretvarača u softverskom paketu MATLAB/Simulink.

3.2 Energetski deo

U modelu je kao DC-DC pretvarač korišćen čoper podizač napona (eng. *boost*). Pretpostavljena je transformerless topologija kod koje se ne vrši galvansko odvajanje fotonaponskih modula od mreže. U tom slučaju, izlaz DC-DC pretvarača se povezuje direktno na jednosmerno međukolo.

Čoper podizač napona realizovan je korišćenjem blokova za modelovanje poluprovidničkih prekidača snage (IGBT tranzistora i diode), kao i modela reaktivnih elemenata iz biblioteke Simscape. Za prekidače su podešeni odgovarajuća otpornost i pad napona kada provode (uzimajući u obzir realne vrednosti za posmatrani naponski nivo i snagu).

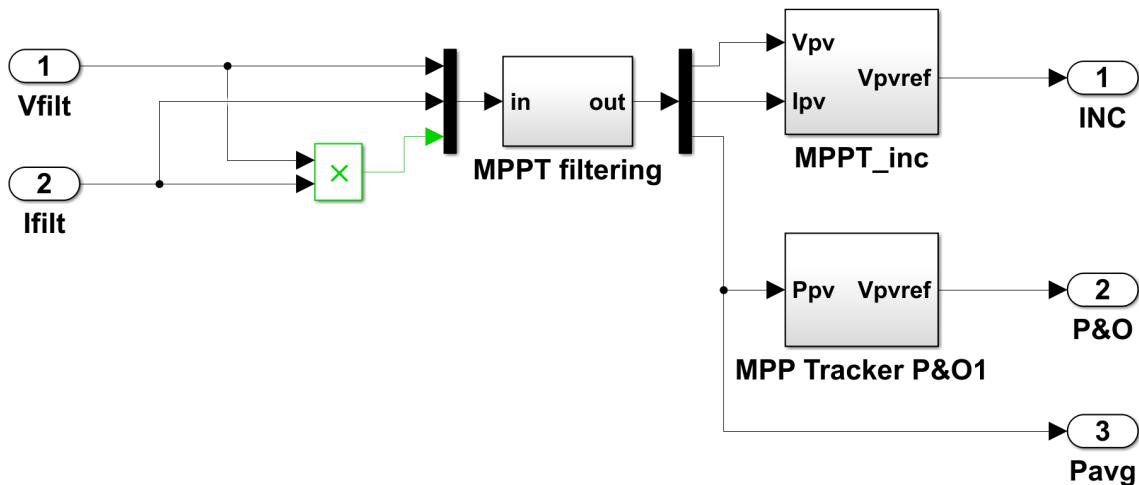
3.3 Upravljački deo

Upravljački deo čine algoritam za praćenje tačke maksimalne snage i regulator ulaznog napona boost pretvarača. Ulagane promenljive upravljačkog dela su merene i potom na adekvatan način filtrirane vrednosti napona PV panela i struje kalema. Filtriranje se obavlja u

bloku INPUT FILTER pomoću oversampling tehnike i FIR filtra (*Finite impulse response*) i to tako da se umanji efekat formiranja lažnih likova (posledica teoreme odabiranjia).

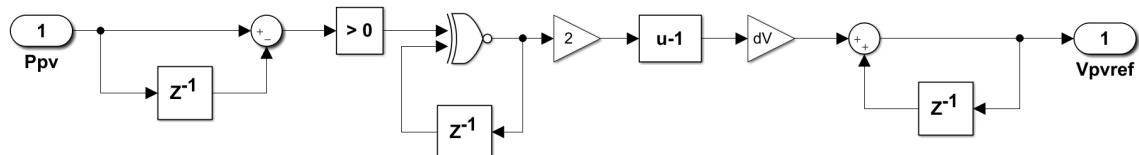
3.3.1 MPPT algoritam

Zadatak algoritma za praćenje tačke maksimalne snage je da izda referencu regulatoru napona PV panela tako da se radna tačka panela nalazi u kolenu P-V karakteristike. Algoritam menja referentnu vrednost napona za jedan korak napona (dV) u pozitivnom ili negativnom smeru. Podešavanjem položaja manuelnog prekidača moguće je birati između dva MPPT algoritma: P&O (*Perturbe and observe*) ili algoritma inkrementalne konduktanse. Na slici 5 prikazana je struktura MPPT bloka. Pre nego što se potrebne veličine proslede na ulaz odgovarajućeg bloka za MPPT algoritam, vrši se njihovo usrednjavanje na periodu rada MPPT algoritma.



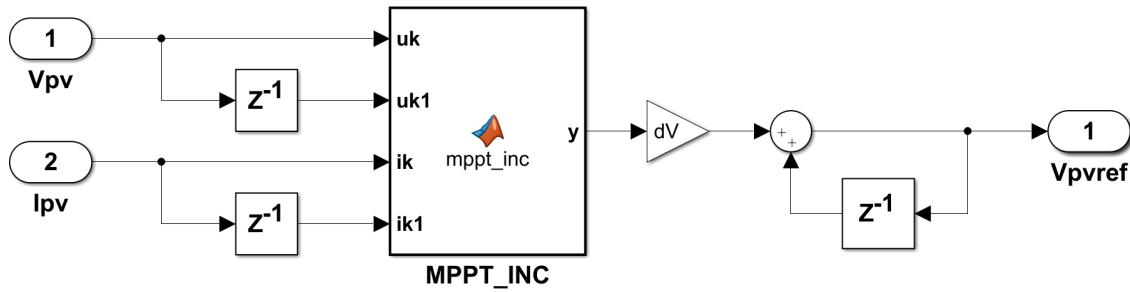
Slika 5: Struktura bloka koji obavlja praćenje tačke maksimalne snage.

Na slici 6 prikazana je struktura bloka koji izvršava P&O MPPT algoritam. Ukoliko je promena snage pozitivna treba pokušati isto što i u prethodnoj iteraciji tj. promena napona treba da ostane istog znaka. Ukoliko se snaga smanjila treba pokušati sa suprotnim znakom promene napona.



Slika 6: Struktura bloka koji izvršava P&O MPPT algoritam.

Na slici 7 prikazana je struktura bloka koji izvršava algoritam inkrementalne konduktanse. Radi preglednosti, umesto korišćenja logičkih kola u Simulink-u formirana je funkcija koja na osnovu informacija o trenutnim i prethodnim vrednostima napona i struje generiše komandu za pozitivan ili negativan inkrement referentne vrednosti napona PV panela. Princip rada algoritma inkrementalne konduktanse zasniva se na aproksimativnom, diskretizovanom izrazu za izvod snage po naponu.



Slika 7: Struktura bloka koji izvršava algoritam inkrementalne konduktanse.

Sadržaj pomenute funkcije dat je u nastavku:

```

1 function y = mppt_inc(uk ,uk1 ,ik ,ik1 )
2 duk=uk1-uk ;
3 dik=ik1-ik ;
4 eps_u=0.3;
5 eps_i=0.02;
6 eps_s=0.01;
7 if (abs(duk)<eps_u)
8     if (abs(dik)<eps_i)
9         y=0;
10    else
11        if (dik>0)
12            y=-1;
13        else
14            y=1;
15        end
16    end
17 else
18     s=ik /uk+dik /duk ;
19     if (abs(s)<eps_s)
20         y=0;
21     else
22         if (s>0)
23             y=1;
24         else
25             y=-1;
26         end
27     end
28 end

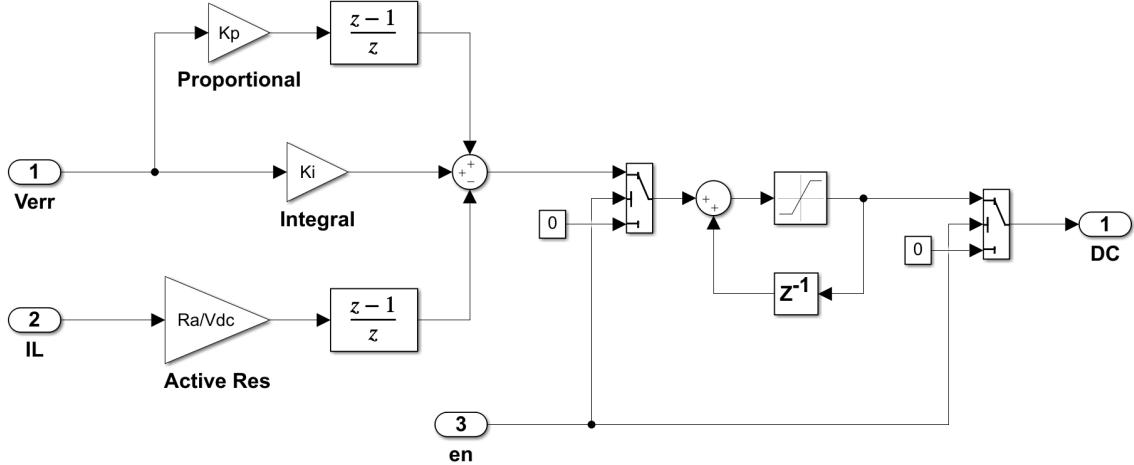
```

3.3.2 Regulacija boost pretvarača

Kako bi se obezbedilo praćenje referentne vrednosti za ulazni napon boost pretvarača (napona PV panela) primjenjen je inkrementalni PI regulator sa dodatkom aktivne otpornosti (slika 8). Dodavanjem aktivne otpornosti se rezonantni polovi pretvarača stabilišu na sličan način kao što bi realna otpornost to uradila, s tim da nemamo gubitke.

Ostali parametri regulatora podešeni su korišćenjem **sisotool** komande, a na osnovu prenosne funkcije izvedene pomoću modela za male signale (detaljnije o izvođenju prenosne funkcije pretvarača može se naći u [1]). Prilikom izvođenja modela pretvarača promene napona u jednosmernom međukolu su zanemarene i jednosmerno međukolo je modelovano izvorom konstantnog napona. Ova pretpostavka je opravdana u režimima u kojima je invertor uključen, jer se tada ovaj napon reguliše podešavanjem aktivne snage koju invertor injektuje u mrežu. Ukoliko bi se primenilo galvansko odvajanje sa HF transformatorom, koji najčešće radi tako da održava fiksni odnos između napona jednosmernog međukola i svog ulaznog napona, ka ulazu

invertora, pretpostavka da je napon na izlazu boost-a približno konstantan važila bi i za taj slučaj. Primetimo, dakle, da je izlazni napon konstantan, a da ulazni napon treba regulisati, što je suprotno od tipičnog boost pretvarača kod koga se reguliše izlazni napon a ulazni je konstantan. Stoga, sa aspekta regulacije prenosna funkcija je zapravo sličnija onoj koja se ima kod buck pretvarača, što nam odgovara jer nemamo čuvenu nulu u desnoj poluravni.



Slika 8: Struktura regulatora napona PV panela.

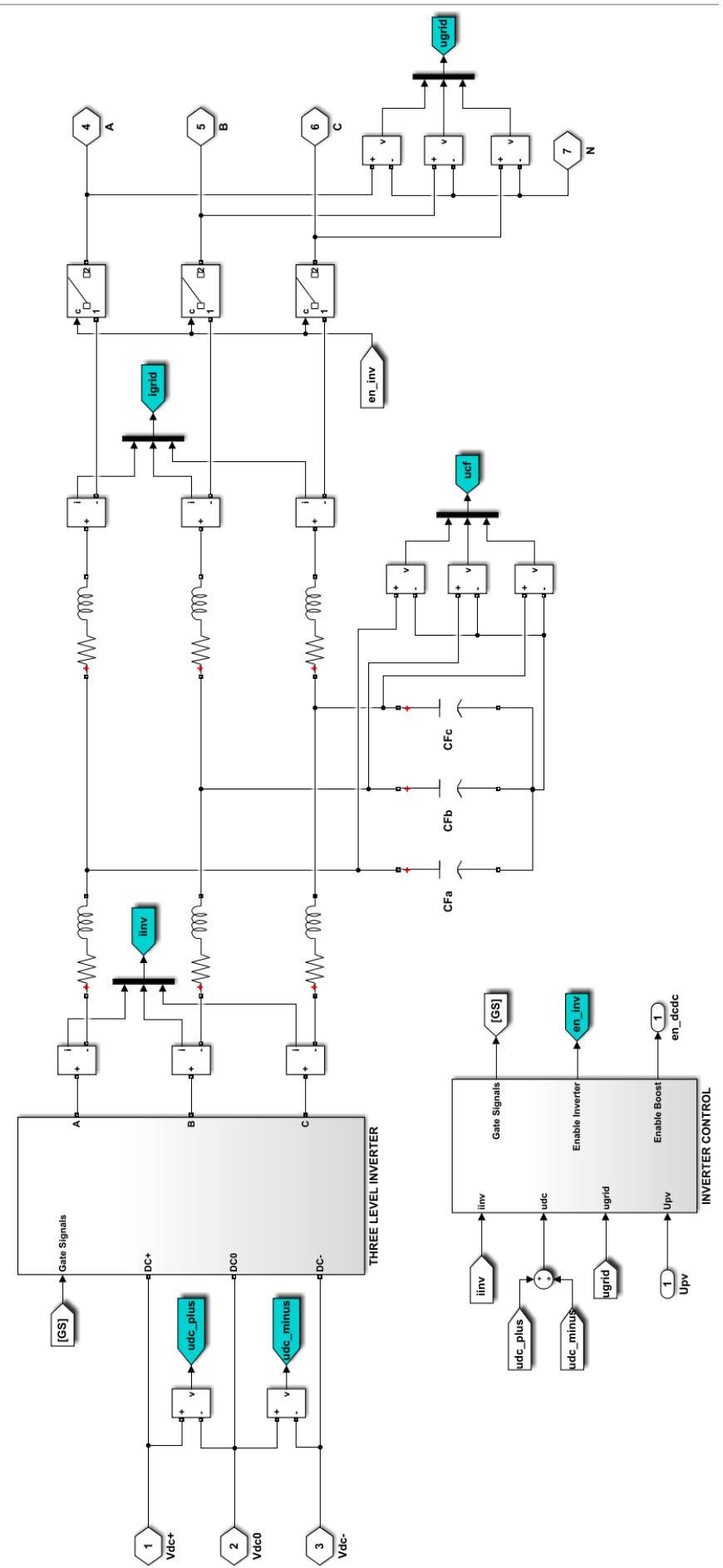
4 Invertor

U okviru invertor bloka, čija je struktura prikazana na slici 9, uočavamo energetski (u okviru koga prekidački segment i LCL filter) i upravljački deo. U nastavku će najpre biti dano teorijsko objašnjenje a potom će ukratko biti opisane celine.

4.1 Teorijsko objašnjenje

Invertor povezuje DC kolo od koga uzima energiju i mrežu u koju preuzetu energiju injektuje. Kako je to prekidačka struktura potrebno je obezbediti filtriranje struja, te se filter dodaje na izlaz invertora. Komutacija poluprovodničkih prekidača snage vrši se na učestanosti mnogo većoj od frekvencije mreže, jer to dozvoljava modulaciju zahvaljujući kojoj se smanjuje potrebna veličina filtra. Izlazne struje moraju biti sinusoide čija frekvencija odgovara frekvenciji mreže, a amplituda i faza su određene tako da se obezbedi injektovane zahtevane aktivne i reaktivne snage. Prekidačke strukture obezbeđuju pulsirajuće napone i ne mogu obezbediti sinusoidalni izlaz. Ipak ukoliko se širina impulsa za uključenje tranzistora menja sinusoidalno, usrednjena vrednost napona na izlazu biće sinusoidalna. Dakle trofazni naponski invertor ponaša kao naponski izvor čiji napon se može podešavati pravilnim odabirom prekidačkih stanja (modulacionim algoritmom). Postoje i naprednije tehnike za modulaciju kao što je SVM (*Space Vector Modulation*) koja u poređenju sa klasičnom impulsno širinskom modulacijom obezbeđuje manje komutacione gubitke i veću maksimalnu amplitudu izlaznog napona za isti ulazni napon.

Harmonijski sadržaj na prekidačkoj frekvenciji u izlaznim veličinama invertora odstranjuje se primenom filtra. Što se topologije filtra tiče, primena čisto induktivnog filtra uz obezbeđivanje zahtevanog slabljenja, rezultovala bi, u najvećem broju slučajeva, u vrednosti potrebne induktivnosti koja je takva da bi dimenzije, masa i serijska otpornost kalema bili neprihvatljivo veliki. Stoga se uglavnom kao izlazni filter primenjuje LCL topologija.



Slika 9: Struktura bloka kojim je realizovan energetski i upravljački deo mrežnog invertora.

Upravljanje invertorima povezanim na mrežu zasniva se na podešavanju napona invertora tako da izlazna struja prati željeni talasni oblik. U slučaju fotonaponskog sistema, invertor ima zadatku da energiju koju generišu fotonaponski moduli injektuje u mrežu pri željenom faktoru snage. Da bi se maksimalno iskoristio raspoloživ strujni kapacitet invertora, teži se injektovanju aktivne snage sa jediničnim faktorom snage. U slučajevima kada zbog atmosferskih uslova fotonaponski moduli ne generišu energiju ili generisanje vrše umanjenom snagom, može se preostali strujni kapacitet invertora staviti na raspolažanje operatoru mreže (concept Smart grid) i zahtevati injektovanje određene reaktivne snage u mrežu. U oba slučaja od regulatora struje se zahteva da kontrolom izlaznog napona invertora postigne da struja ka mreži bude prostoperiodična sa željenom amplitudom i faznim stavom prema mrežnom naponu. Poznato je da bi u ovom slučaju regulator koji bi regulisao faznu struju podešavanjem faznog napona invertora unosio i amplitudsku i faznu grešku, jer bi i u ustaljenom stanju radio sa prostoperiodičnim signalima. U razmatranom sistemu korišćen je strujni regulator u obrtnom dq referentnom sistemu. Prednost ovog regulatora je što u ustaljenom stanju procesira konstantne signale, te može da obezbedi praćenje referentne vrednosti struje bez greške u ustaljenom stanju iako se radi o prostoperiodičnim veličinama. Dq referentni sistem je postavljen tako da se njegova d osa poklapa sa vektorom napona mreže, što omogućava da se d i q komponentom struje direktno određuje aktivna, odnosno reaktivna snaga koja se injektuje u mrežu. Pozicioniranje dq referentnog sistema se vrši praćenjem faze mrežnog napona i za to je odgovoran PLL (*Phase locked loop*) blok koji strujnom regulatoru dostavlja ugao dq sistema.

4.2 Energetski deo

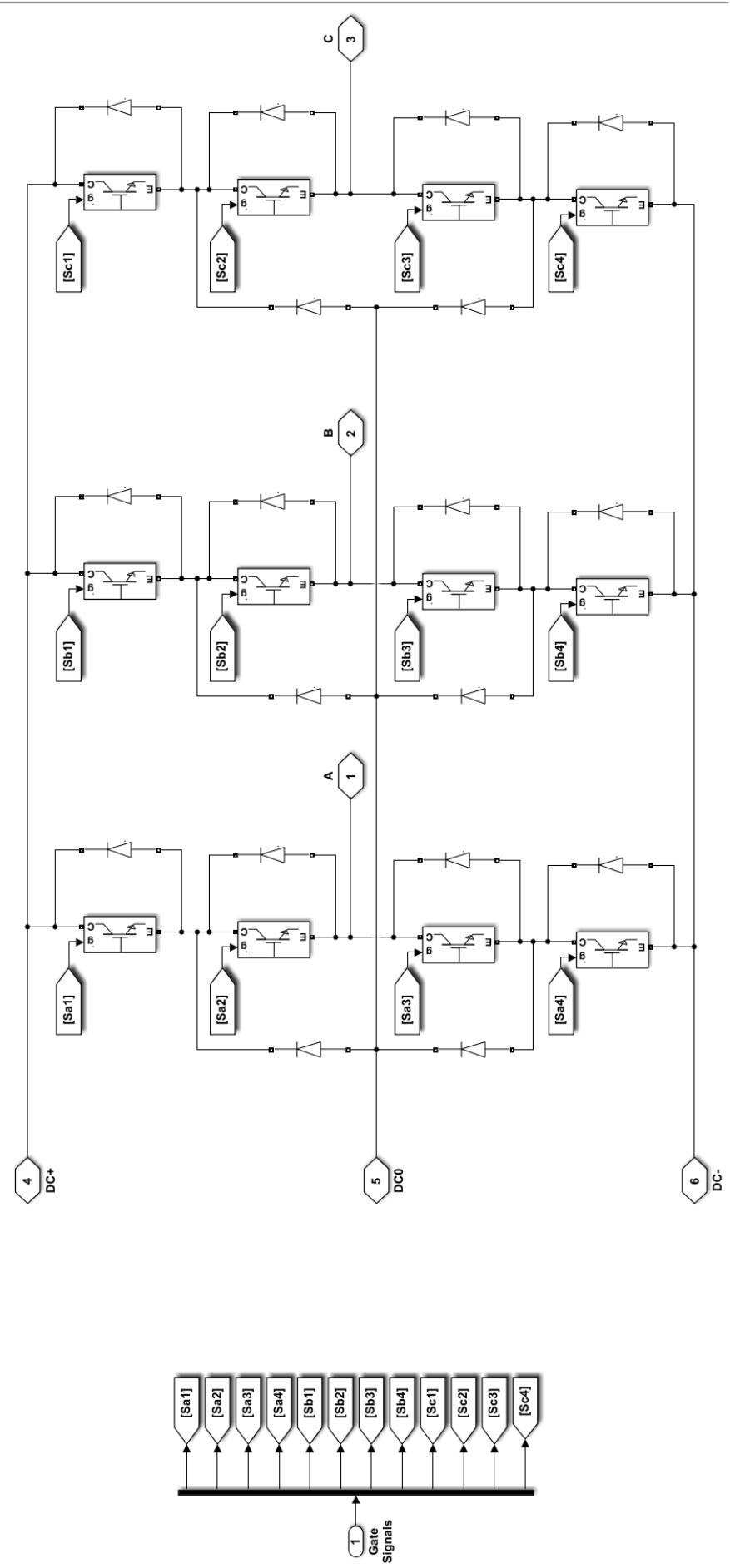
U fotonapskom sistemu koji je predmet simulacije primenjen je trofazni invertor sa tri naponska nivoa sa fiksiranim neutralnom tačkom (*Three level neutral point clamped inverter*). Svaka faza ovog invertora sastoji se od četiri antiparalelne veze tranzistora (MOSFET ili IGBT) i diode i dve clamping diode koje povezuju središnju tačku kondenzatorske baterije u jednosmernom međukolu sa odgovarajućim tačkama invertora. Ova topologija invertora je često korišćena iz više razloga:

- Harmonijsko izobličenje izlaznog napona je manje, pa su potrebne manje vrednosti kapacitivnosti i induktivnosti elemenata izlaznog filtra, što pojeftinjuje izlazni filter.
- Maksimalni napon koji se javlja na prekidačima ograničen je na polovinu napona jednosmernog međukola, što omogućava primenu tranzistora za niže napone koji imaju manje gubitke u uključenom stanju.

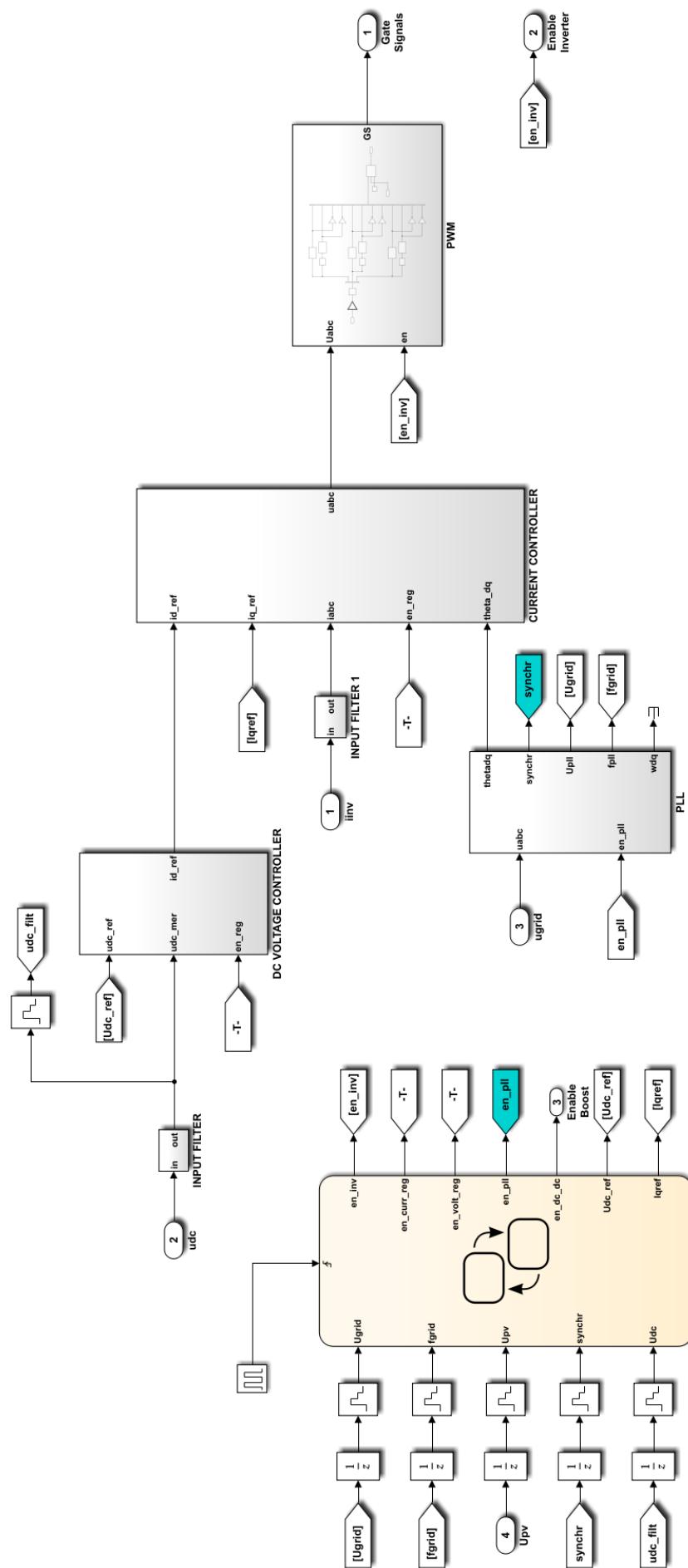
Na slici 10 prikazana je struktura prekidačkog bloka kojim je realizovan invertor. Kao i kod boost pretvarača za prekidače (IGBT i diode) su podešeni odgovarajuća otpornost i pad napona kada provode.

4.3 Upravljački deo

Struktura bloka unutar koga je modelovano upravljanje invertorom prikazana je na slici 11. Unutar upravljačkog bloka koriste se merene vrednosti napona u jednosmernom međukolu, faznih napona mreže na mestu priključenja invertora, vrednosti izlaznih struja invertora kao i merena vrednost napona PV panela. Izlazi upravljačkog bloka su upravljački signali za tranzistore, signal za uključenje/isključenje kontaktora ka mreži, kao i signal koji aktivira DC-DC pretvarač. Pomenuti blok se sastoji iz više celina: strujnog regulatora, PWM bloka, regulatora napona DC linka, PLL bloka i Stateflow kontrole.



Slika 10: Struktura prekidačkog bloka invertora.



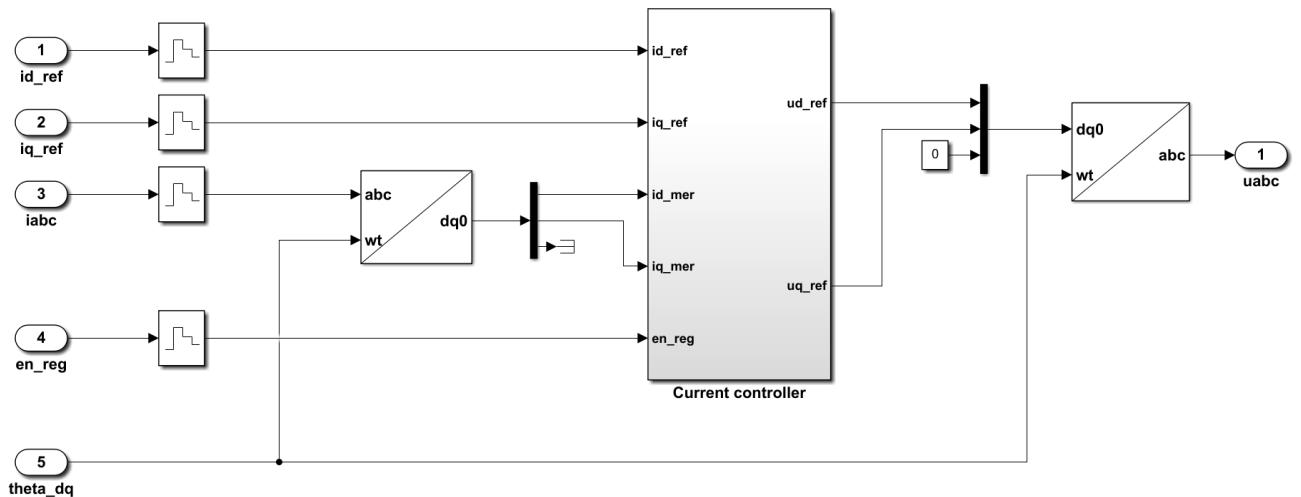
Slika 11: Struktura bloka kojim je modelovano upravljanje invertorom.

4.3.1 Strujni regulator

Kao što je već napomenuto, primjenjen je strujni regulator u dq sistemu. Može se primeniti više različitih struktura takvog regulatora: PI regulator, PI sa kompenzacijom dq sprege, regulator izведен na bazi principa unutrašnjeg modela (*Internal model principle*) [2]. U okviru ove simulacije primjenjen je PI regulator sa kompenzacijom dq sprege koji je objašnjen u materijalima sa predavanja 11. Tu je izvršeno modelovanje objekta upravljanja koji čine invertor, mrežni filter i mreža i data jedna od mogućih procedura za podešavanje parametara regulatora struje.

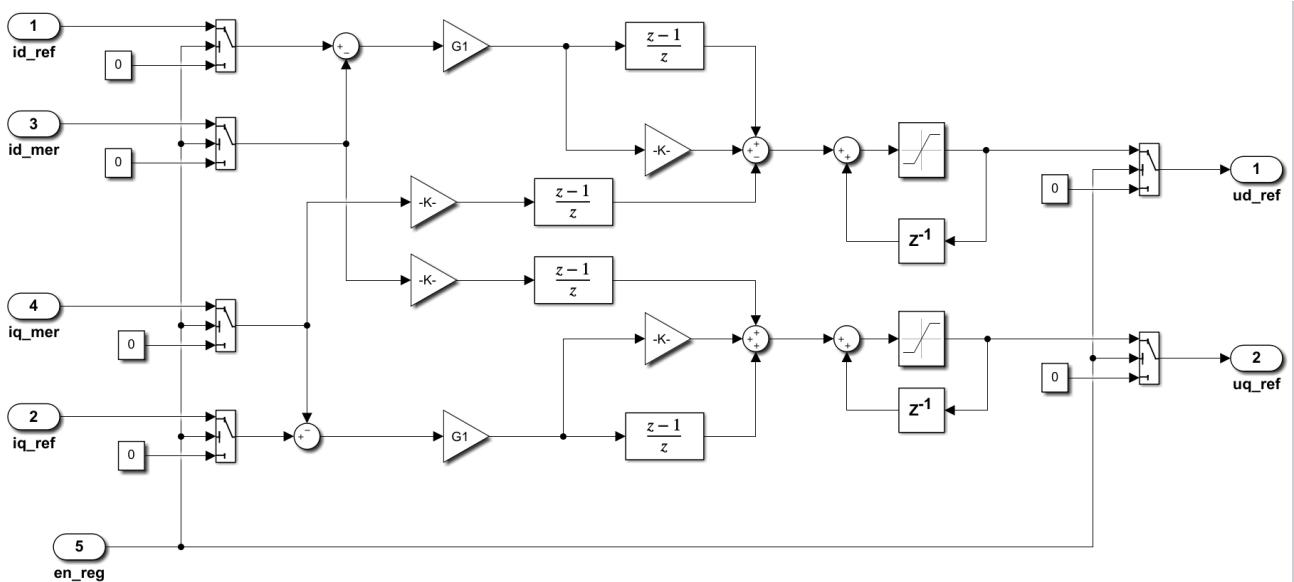
Što se tiče bloka kojim se realizuje strujna regulacija, njegova struktura prikazana je na slici 12. Ulazi bloka su referentne vrednosti d i q komponente struje, merene fazne struje invertora, ugao koji predstavlja položaj dq referentnog sistema (ujedno i položaj vektora napona mreže) i signal kojim Stateflow blok aktivira/deaktivira strujni kontroler.

Referentna vrednost d komponente struje prosleđuje se od strane regulatora napona jednosmernog kola. Referentna vrednost q komponente struje prosleđuje se od strane Stateflow kontrolera. Merene vrednosti faznih struja invertora se dovode na ulaze analogno digitalnih konvertora i dobijaju njihovi odbirci. Odabiranje se vrši više puta u toku perioda PWM (u ovom slučaju 10 puta), a zatim se izračunava srednja vrednost merene struje unutar perioda PWM. Na taj način se smanjuje uticaj ripla struje na rad strujnog regulatora. Za tako dobijene vrednosti merenih veličina potrebno je najpre izvršiti transformaciju iz abc u dq sistem, izvršiti strujnu regulaciju i konacno dobijene referentne vrednosti napona konvertovati iz dq sistema u abc. Dobijene vrednosti referentnih napona prosleđuju se modulacionom bloku (PWM blok) koji generiše upravljačke signale za drajverska kola tranzistora za svaku od faza invertora.



Slika 12: Struktura bloka koji obavlja strujnu regulaciju u dq sistemu.

Na slici 13 prikazana je struktura PI regulatora sa kompenzacijom dq sprege. Za svaku od komponenata struje korišćen je poseban PI regulator, koji na osnovu greške u praćenju te komponente struje na svom izlazu generiše referentnu vrednost odgovarajuće komponente napona na izlazu invertora. Na tako izračunate referentne vrednosti komponenata napona, dodaju se iznosi kojima se kompenzuje uticaj ortogonalne komponente struje i vrši raspreznanje dinamičkih procesa u d i q osi.

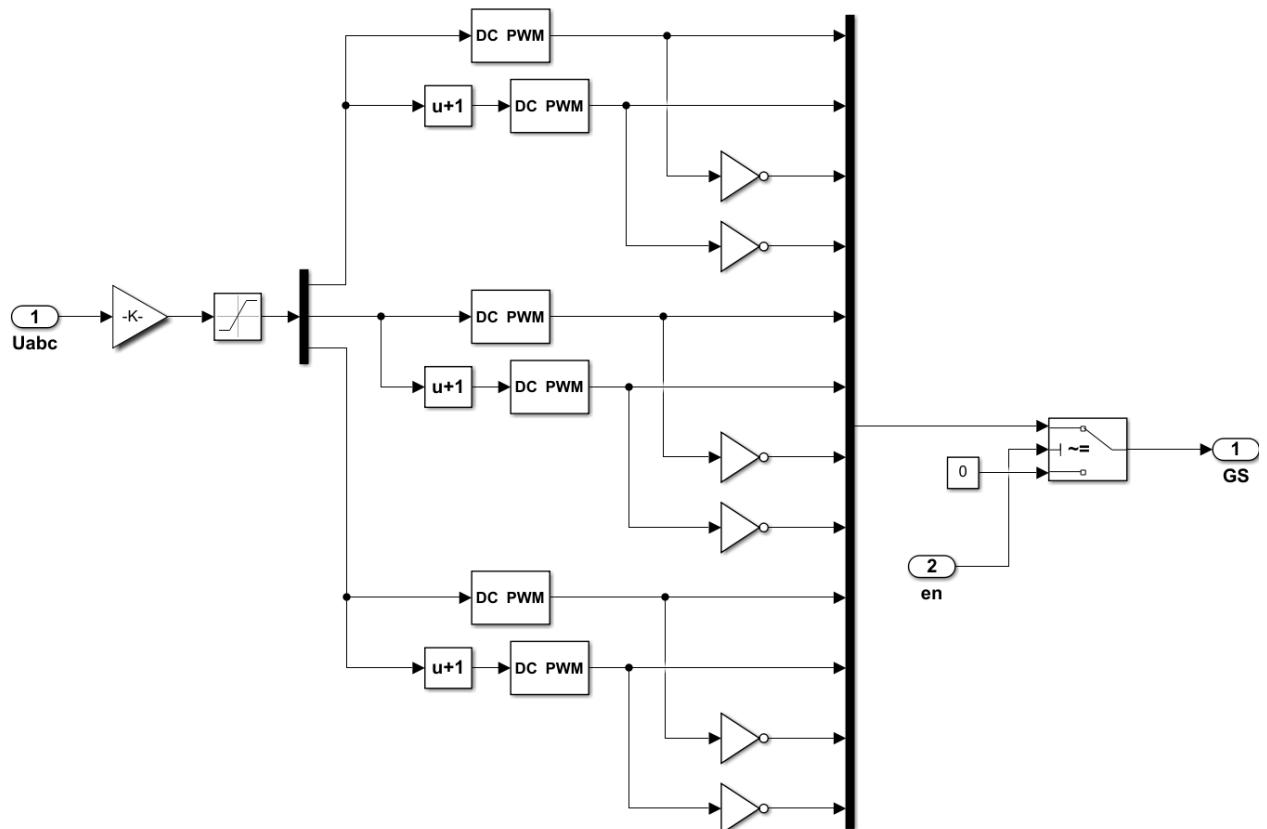


Slika 13: Struktura strujnog regulatora.

4.3.2 PWM blok

Što se tiče upravljanja NPC invertorom, ako posmatramo jednu fazu, ključno je da razumemo da se u toku pozitivne poluperiode izlaznog napona stalno je uključen Q2 a Q1 i Q3 komutuju (videti sliku 10) tako da napon jedne faze uzima vrednosti nula ili polovina napona DC linka. Slično tome tokom negativne poluperiode izlaznog napona stalno je uključen Q3 a Q2 i Q4 komutuju tako da napon jedne faze uzima vrednosti nula ili minus polovina napona DC linka.

Za potrebe ove simulacije PWM blok (slika 14) za 3 level NPC invertor realizovan je poomoću PWM blokova za drajvovanje jednog prekidača. Primenjena je obična impulsno širinska modulacija sa simetričnim (trougaonim) nosiocem. Ulagne referentne vrednosti abc napona potrebno je skalirati kako bi se dobila referentna vrednost *duty cycle-a*. Pored toga *enable* signal koji dozvoljava uključenje invertora je ulazna promenljiva. Izlaz je vektor upravljačkih (*gate-source*) signala kojima se komanduje uključenjem i isključenjem tranzistora.



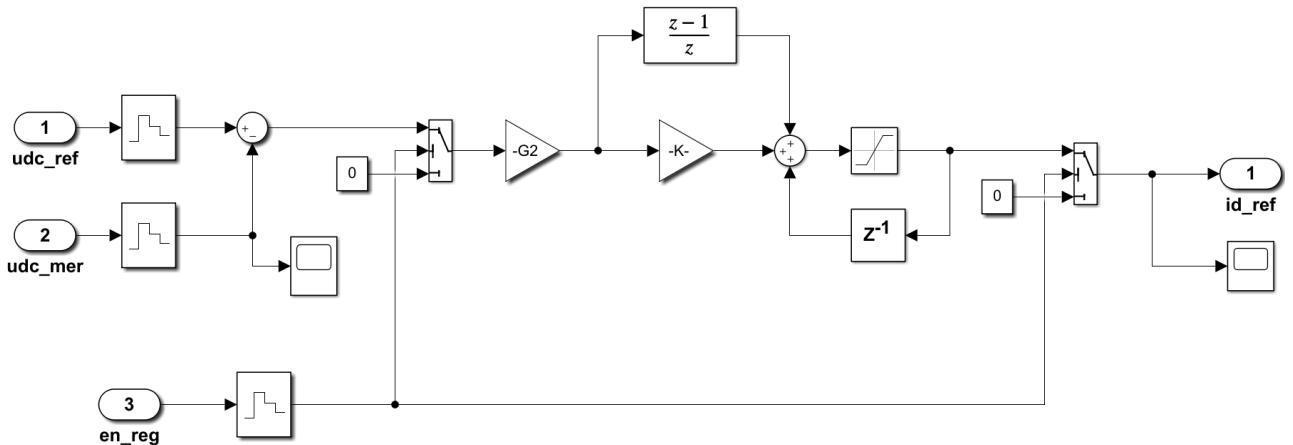
Slika 14: Struktura bloka koji obavlja impulsno širinsku modulaciju.

4.3.3 Regulator napona DC linka

Za ispravno funkcionisanje celokupnog fotonaponskog sistema bitno je da se napon jednosmernog kola održava na približno konstantnoj vrednosti. Mala vrednost DC napona mogla bi da onemogući regulisanje struje (pošto je najveća trenutna vrednost napona koja se može ostvariti na izlazu invertora ograničena polovinom napona DC kola), dok bi prevelika vrednost mogla da dovede do oštećenja poluprovodničkih prekidača. Takođe, fluktuacije DC napona bi se prenеле i na izlazni napon invertora, što bi pokvarilo njegov harmonijski sastav i moglo da dovede do problema u regulaciji struje.

Regulacija napona DC kola zasnovana je na upravljanju aktivnom snagom koja se posredstvom invertora predaje mreži. U ustaljenom stanju, snaga kojom energiju DC kolu predaju fotonaponski moduli posredstvom DC-DC pretvarača, jednaka je snazi kojom invertor predaje energiju mreži. Pošto je ova snaga zavisna od atmosferskih uslova, nužno će doći do njene fluktuacije i do pojave disbalansa između snage koju DC-DC pretvarač isporučuje u jednosmerno kolo i snage koju invertor injektuje u mrežu. U ovim slučajevima dolazi do porasta ili opadanja napona u DC kolu, što registruje regulator napona DC kola koji na izlazu generiše referentnu vrednost aktivne (d) komponente struje invertora. Promenom referentne vrednosti aktivne komponente struje, a samim tim i aktivne snage, regulator napona održava napon u jednosmernom kolu na približno konstantnoj vrednosti.

Na slici 15 prikazana je struktura PI regulatora koji je primenjen za regulaciju napona DC linka u okviru ove simulacije. Ulagane promenljive su merena i referentna vrednost napona DC linka, kao i logički *enable* signal koji aktivira odnosno blokira regulator. Referentna vrednost napona u jednosmernom međukolu dobija se od Stateflow kontrolera. Merena vrednost napona DC linka je pre ulaska u kontroler filtrirana (kao što je objašnjeno kod filtriranja faznih struja). Logički signal za aktivaciju dobija se iz stateflow kontrolera. Kao što je već napomenuto izlaz regulatora je referenca za d struju.



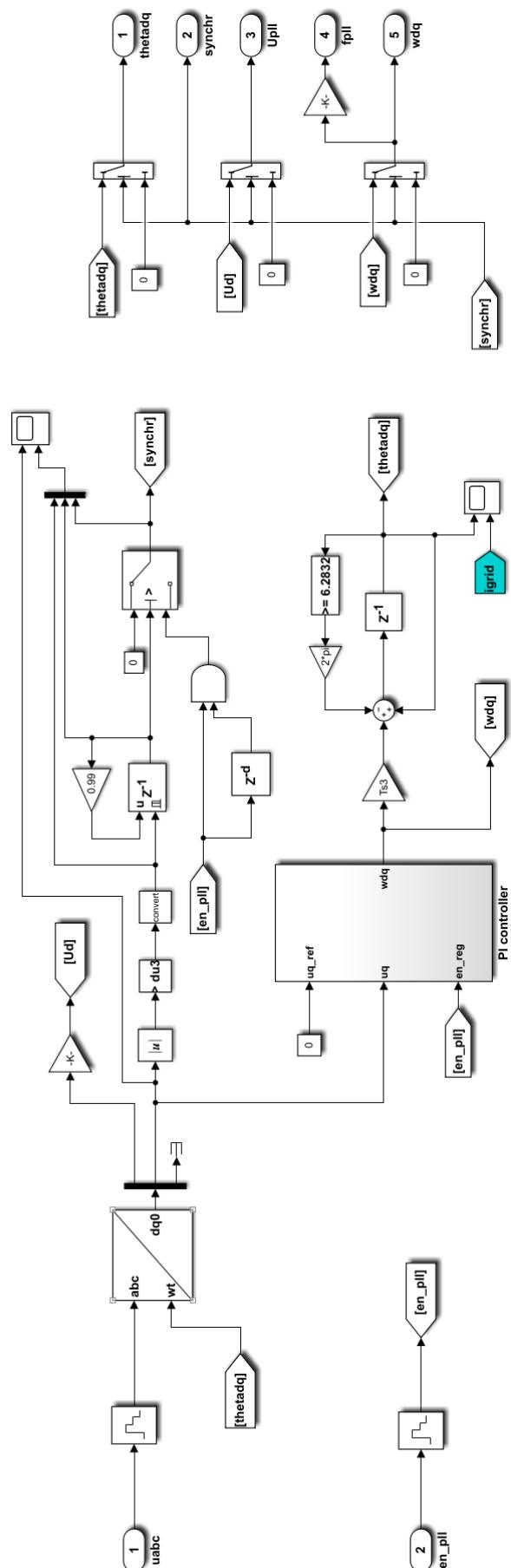
Slika 15: Struktura regulatora napona DC linka.

4.3.4 PLL blok

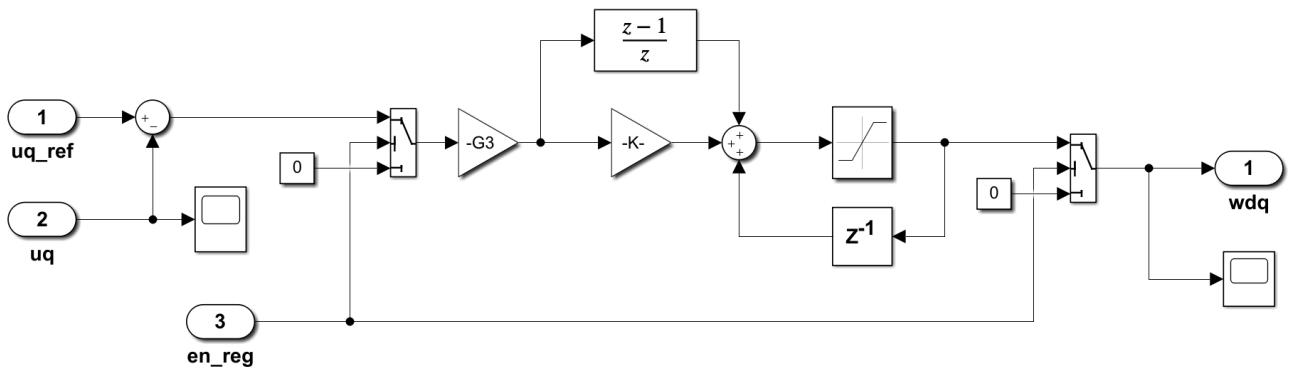
PLL algoritam je deo upravljanja invertorom koji obezbeđuje sinhronizaciju sa mrežnim naponom u ustaljenim i prelaznim stanjima. Pored toga, PLL obezbeđuje i praćenje efektivne vrednosti i učestanosti napona mreže. PLL algoritam je neophodan deo sistema za regulaciju struje kod invertora koji se povezuju na mrežu, jer obezbeđuje strujnom regulatoru informaciju o fazi napona mreže i omogućava mu da injektuje struju koja ima željeni fazni stav prema mrežnom naponu. Pored ovoga, PLL nadređenom Stateflow kontroleru koji upravlja invertorom dostavlja efektivnu vrednost i učestanost napona mreže. Najčešće korišćeni PLL algoritmi opisani su u predavanju 12. Strujnom regulatoru opisanom u poglavljju 5, potrebno je dostaviti ugao dq referentnog sistema čija se d osa poklapa sa vektorom mrežnog napona. Ovaj ugao koristi se za izračunavanje d i q komponente izlazne struje invertora i za izračunavanje referentnih vrednosti faznih napona.

Unutar PLL bloka, implementiran je PLL algoritam u dq koordinatnom sistemu, objašnjen u poglavљу 6. Unutrašnjost ovog bloka prikazana je na slici 16. Ulazi ovog bloka su merene vrednosti faznih napona mreže, kao i signal kojim nadređeni Stateflow kontroler aktivira odnosno deaktivira PLL. PLL na svom izlazu daje vrednosti ugla dq referentnog sistema vezanog za vektor napona mreže, učestanosti i efektivne vrednosti napona mreže i logički signal synchr koji Stateflow kontroleru signalizira da je uspešno sinhronizovanje sa mrežom.

Na osnovu merenih vrednosti faznih napona mreže i prepostavljenog ugla dq referentnog sistema, izračunavaju se d i q komponente napona mreže. Algoritam teži da postavi dq referentni sistem tako da se d osa poklapa sa vektorom napona mreže, odnosno da q komponentu napona mreže svede na nulu. Dq referentni sistem je ispravno pozicioniran ukoliko je q komponenta napona mreže jednaka nuli. Q komponenta napona mreže se dovodi na ulaz PI regulatora koji na svom izlazu generiše vrednost ugaone brzine dq referentnog sistema. Ako q komponenta napona nema nullu vrednost, PI regulator će kratkotrajno ubrzati ili usporiti obrtanje referentnog sistema i tako svesti q komponentu napona mreže na nulu. Samo podešavanje parametara PI regulatora koji se za ovo koristi je otežano, jer se radi o izrazito nelinearnom sistemu. U ovom slučaju su parametri podešeni na osnovu simulacije. Mogli bi se dalje poboljšati, u cilju postizanja bržeg dinamičkog odziva, pomoću teorijskog pristupa podešavanja nula i polova, nakon formiranja linearizovanog modela PLL-a (videti predavanje 12 i [2]). Ugao dq sistema dobija se integraljenjem ugaone brzine koju zadaje PI regulator. Ukoliko je vrednost q komponente napona mreže jednaka nuli dovoljno dugo, logički signal koji nosi informaciju o sinhronizaciji se postavlja na 1 i to Stateflow kontroleru signalizira da je postignuta sinhronizacija sa mrežom. Na slici 17 prikazana je struktura PI regulatora koji se nalazi unutar PLL bloka.



Slika 16: Struktura PLL bloka.



Slika 17: Struktura PI regulatora PLL bloka.

4.3.5 Stateflow kontrola

Nadređeni upravljački sistem invertora realizovan je u modelu u formi Stateflow kontrolera. Unutrašnjost stateflow kontrolera prikazana je na slici 18. Ulagani signali u stateflow kontroler su efektivna vrednost i učestanost napona mreže (iz PLL-a), vrednost napona u DC kolu i signal o sinhronizaciji kojim PLL signalizira da se uspešno sinhronizovao sa mrežom. Izlazi su *enable* signali kojima se aktiviraju/deaktiviraju DC-DC pretvarač, PWM blok, strujni regulator, regulator DC napona i PLL. Ulagani i izlazni signali i unutrašnje (interne) promenljive i konstante moraju biti definisane u radnom prostoru Stateflow-a (slika 19). Radni prostor otvara se unutar Model Explorer-a.

Stateflow kontroler sadrži više paralelnih stanja koja su označena isprekidanim linijama. U svakoj periodi odabiranja, izvršavaju se paralelna stanja po redosledu koji je naznačen (brojevi u uglovima stanja). Svako od paralelnih stanja sadrži više OR ili isključivih stanja. Unutar svakog paralelnog stanja, Stateflow se može nalaziti u samo jednom OR stanju. Svako OR stanje sadrži tri niza naredbi: entry, during i exit. Kada dato paralelno stanje krene da se izvršava, Stateflow prvo proverava da li su ispunjeni uslovi da se iz OR stanja u kome se nalazio u prethodnoj periodi pređe u neko drugo OR stanje (prelazi su označeni linijama, a uslovi za prelaz u uglastim zagradama na liniji koja predstavlja dati prelaz). Ako se izvrši prelaz u neko drugo OR stanje, izvršavaju se exit naredbe za prethodno i entry naredbe za naredno stanje. Ukoliko ne postoje uslovi za prelaz u neko drugo OR stanje, ostaje se u postojećem stanju i izvršavaju njegove during naredbe. Prelazi iz jednog OR stanja u drugo u okviru jednog paralelnog stanja, mogu biti uslovljeni OR stanjem u kome se Stateflow nalazi u okviru drugog paralelnog stanja. Logička funkcija koja proverava da li se Stateflow nalazi u nekom stanju ima oblik `in(ime_stanja)`.

Stateflow kontroler ima 5 paralelnih stanja koja redom prate vrednost mrežnog napona i učestanosti, napona u DC linku i obavljaju upravljanje invertorom i DC-DC pretvaračem. Paralelno stanje u okviru koga se vrši praćenje efektivne vrednosti mrežnog napona (`Grid_volt`) sadrži sledeća OR stanja: `Grid_volt_ok`, `Grid_volt_not_ok` i `Grid_volt_error`. Ako je vrednost mrežnog napona u dozvoljenim granicama, Stateflow se nalazi u stanju `Grid_volt_ok`. Ukoliko mrežni napon izade iz dozvoljenih granica, ulazi se u stanje `Grid_volt_not_ok`. Karakteristično za ovo stanje je da se ništa ne preduzima, već se aktivira brojač koji meri vreme provedeno u ovom stanju. Ukoliko se napon ne vrati u dozvoljene granice pre nego što brojač dođe do podešene granične vrednosti, prelazi se u stanje `Grid_volt_error` koje u paralelnom stanju `Inverter_control` inicira prelazak u stanje `InverterFRT` ako je invertor bio uključen, odnosno onemogućava uključenje ukoliko je invertor bio isključen. Na istoj logici zasnovano je i stanje `Grid_freq`, s tim što se u okviru njega prati mrežna učestanost.

U okviru stanja `DC_volt`, prati se vrednost napona u jednosmernom međukolu. Pri tome se razlikuju četiri stanja: `DC_volt_low`, `DC_volt_ok`, `DC_volt_high` i `DC_volt_very_high`. Ukolikose napon DC kola nalazi u dozvoljenim granicama, moguće je uključenje invertora i

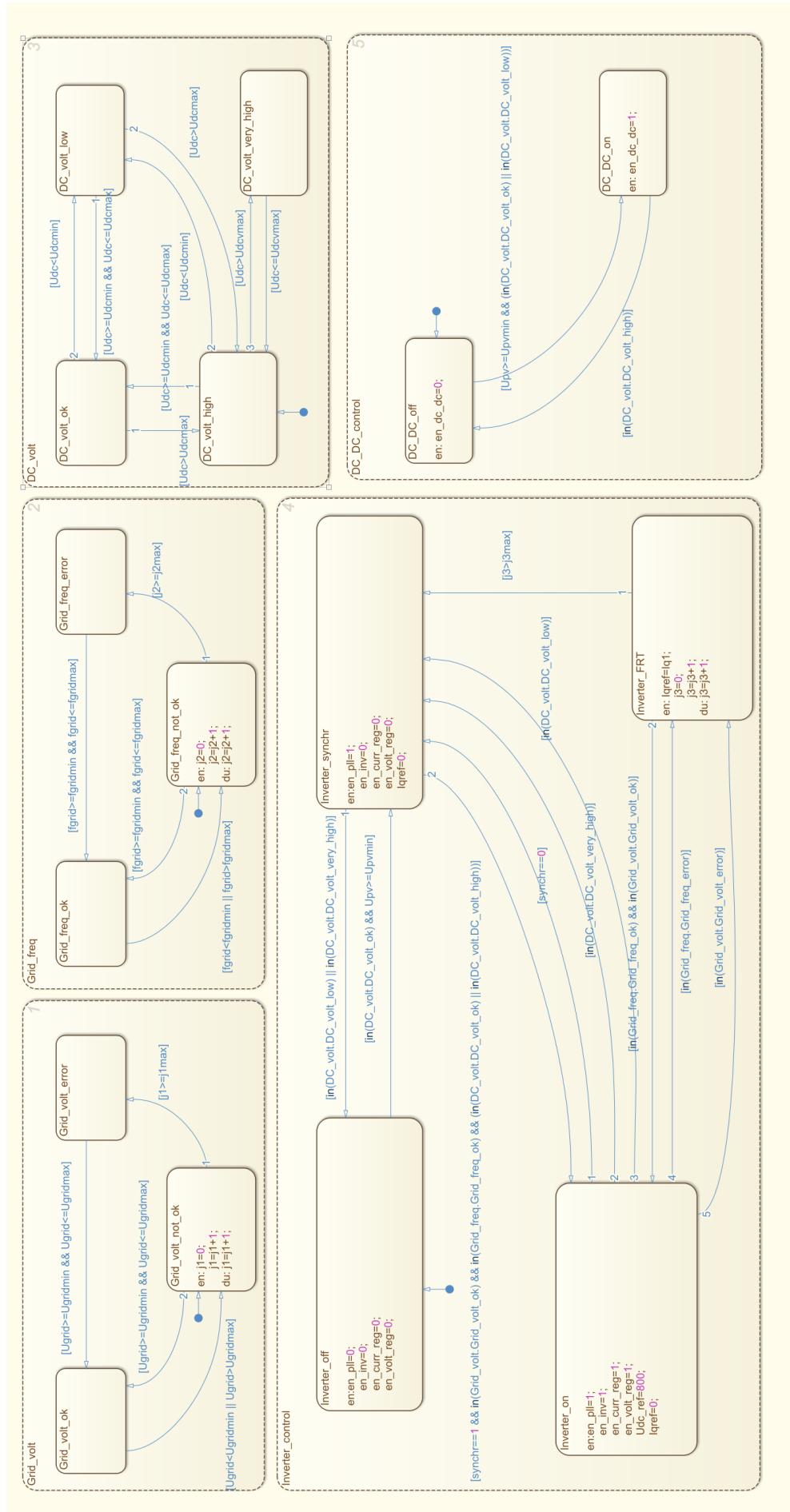
DC-DC pretvarača ukoliko su ispunjeni ostali uslovi, a rad ovih pretvarača se ne obustavlja. Ukoliko je DC napon nizak, dozvoljava se samo startovanje i rad DC-DC pretvarača dok DC napon ne dostigne potrebnu vrednost da se pređe u stanje DC_volt_ok. Ukoliko DC napon uđe u stanje DC_volt_high, isključuje se DC-DC pretvarač, a invertor se ostavlja da bi injektovao u mrežu višak energije iz DC kola i time smanjio napon. Kada DC napon postane toliko visok da se uđe u stanje DC_volt_very_high, isključuje se i invertor, jer se smatra da je došlo do kvara.

Stanje kojim je realizovano upravljanje invertorom ima 4 podstanja: inverter_on, inverter_off, inverter_synchr i inverter_FRT. U stanju inverter_off invertor je isključen, i deaktivirani su svi elementi upravljanja invertorom. Ako DC napon nije nizak ni previsok, ulazi se u stanje inverter_synchr u kome se prate učestanost i napon mreže. Ukoliko su učestanost i napon mreže u dozvoljenim granicama i ako je PLL-ov signal sinhronizacije prisutan, prelazi se u stanje inverter_on u kome se uključuju regulator DC napona, strujni regulator i zatvaraju kontaktori ka mreži. Postavlja se referenca za DC napon i reaktivnu komponentu struje. Invertor u ovom stanju injektira energiju u mrežu tako da održava DC napon na zadatoj vrednosti. Iz ovog stanja invertor može da pređe u stanje inverter_synchr ukoliko izgubi sinhronizaciju ili ukoliko DC napon postane prenizak (prekid proizvodnje usled promene atmosferskih uslova). Ako napon mreže ili učestanost pređu u error stanje, prelazi se u stanje inverter_FRT u kome invertor injektira reaktivnu komponentu struje u mrežu. U ovom stanju aktivira se brojač i invertor u njemu ostaje samo ograničeno vreme. Ako se napon i učestanost normalizuju pre isteka tog vremena, prelazi se u stanje Inverter_on, a u suprotnom u stanje inverter_synchr.

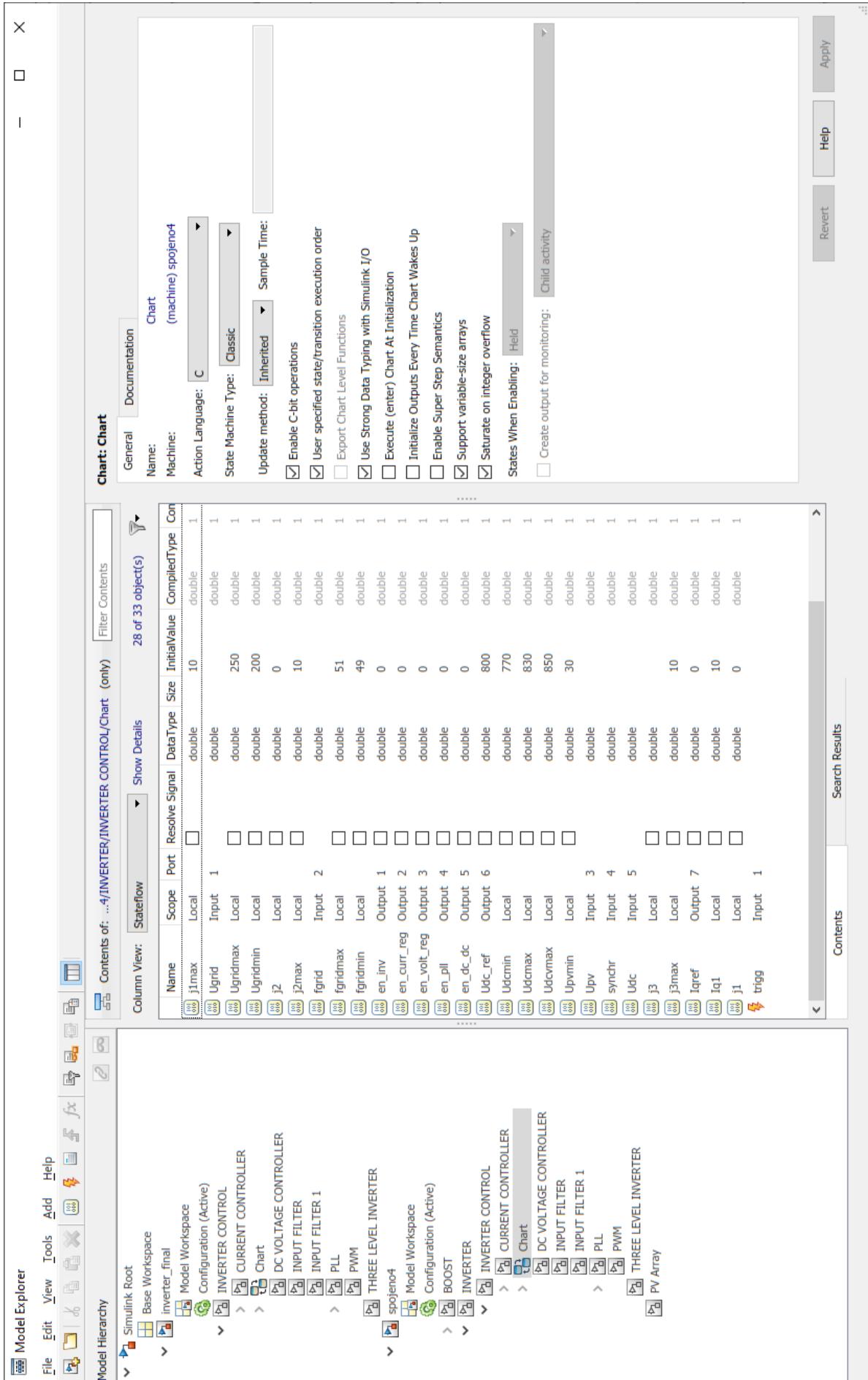
DC-DC pretvarač se aktivira ako je prisutan napon na ulazu u pretvarač (na fotonaponskim modulima) i ako je napon u DC kolu nizak ili u dozvoljenim granicama. Ako napon DC kola pređe u stanje DC_volt_high ili DC_volt_very_high, gasi se DC-DC pretvarač da ne bi došlo do pojave velikih napona u DC kolu (prepostavlja se kritičan slučaj kada je invertor blokiran zbog uslova na mreži ili nedostatka sinhronizacije).

5 Mreža

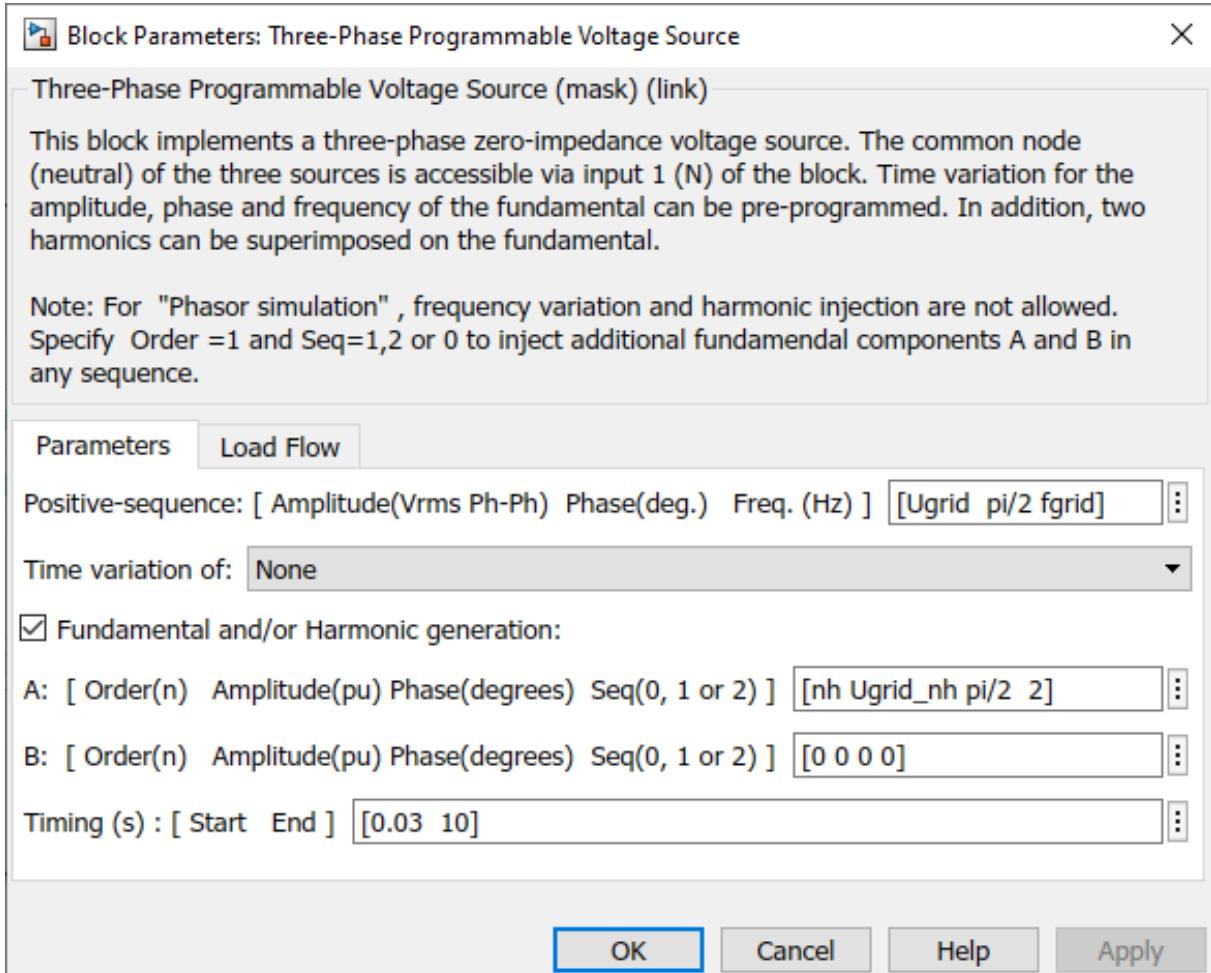
Mreža je modelovana trofaznim programabilnim naponskim generatorom koji postoji u okviru Simulink biblioteke. Na slici 20 prikazano je podešavanje parametara ovog bloka. Amplituda, faza i frekvencija osnovnog harmonika prosleđuju se preko promenljivih definisanih u init fajlu. Moguće je osnovnom harmoniku superponirati do dva viša harmonika pri čemu se za svaki od harmonika može odabrati red harmonika, amplituda u relativnim jedinicima, kao i to da li se radi o nultom, direktnom ili inverznom redosledu. Potrebno je definisati i vremenski period tokom koga postoji viši harmonik.



Slika 18: Struktura bloka koji obavlja stateflow kontrolu.



Slika 19: Radni prostor Stateflow bloka.



Slika 20: Podešavanje parametara bloka kojim je modelovana distributivna mreža.

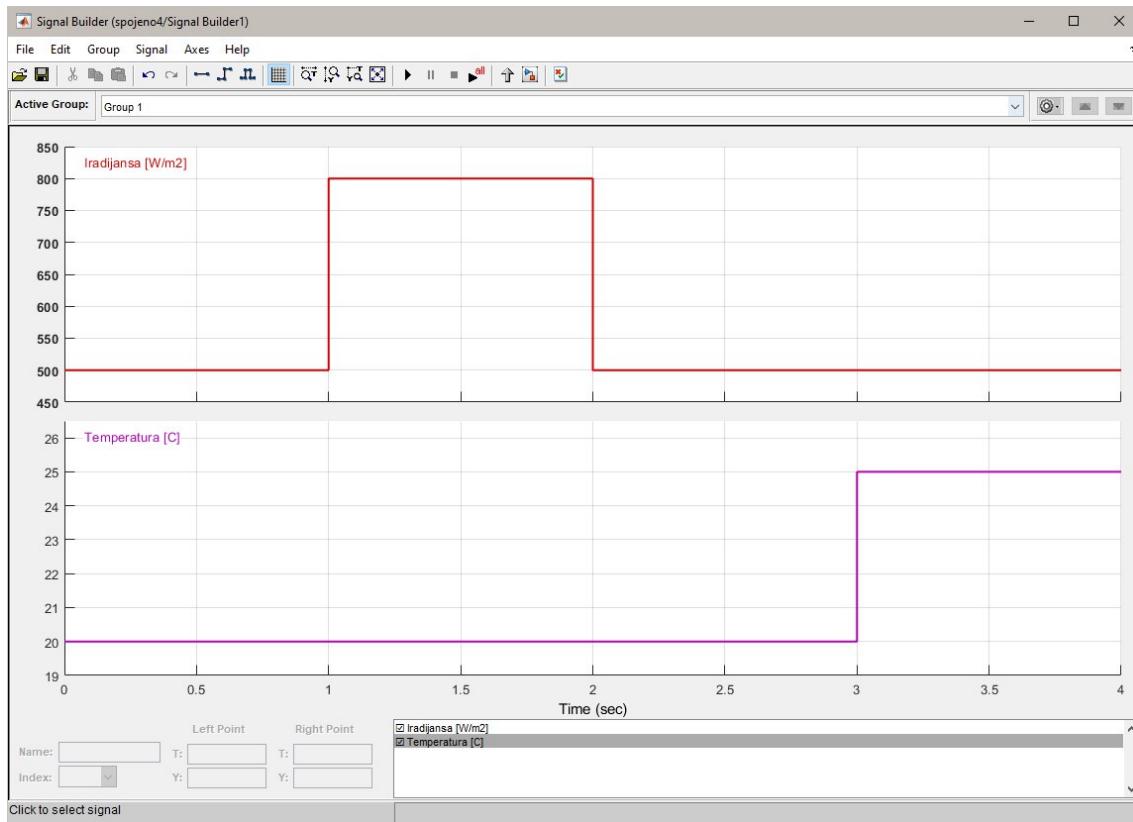
6 Prikaz rezultata

U okviru laboratorijske vežbe, izvršiće se simulacije rada fotonaponskog sistema pri promenljivim ambijentalnim uslovima (promenljiva iradijansa i promenljiva temperatura), kao i pri harmonijskom izobličenju distributivne mreže na koju je sistem priključen.

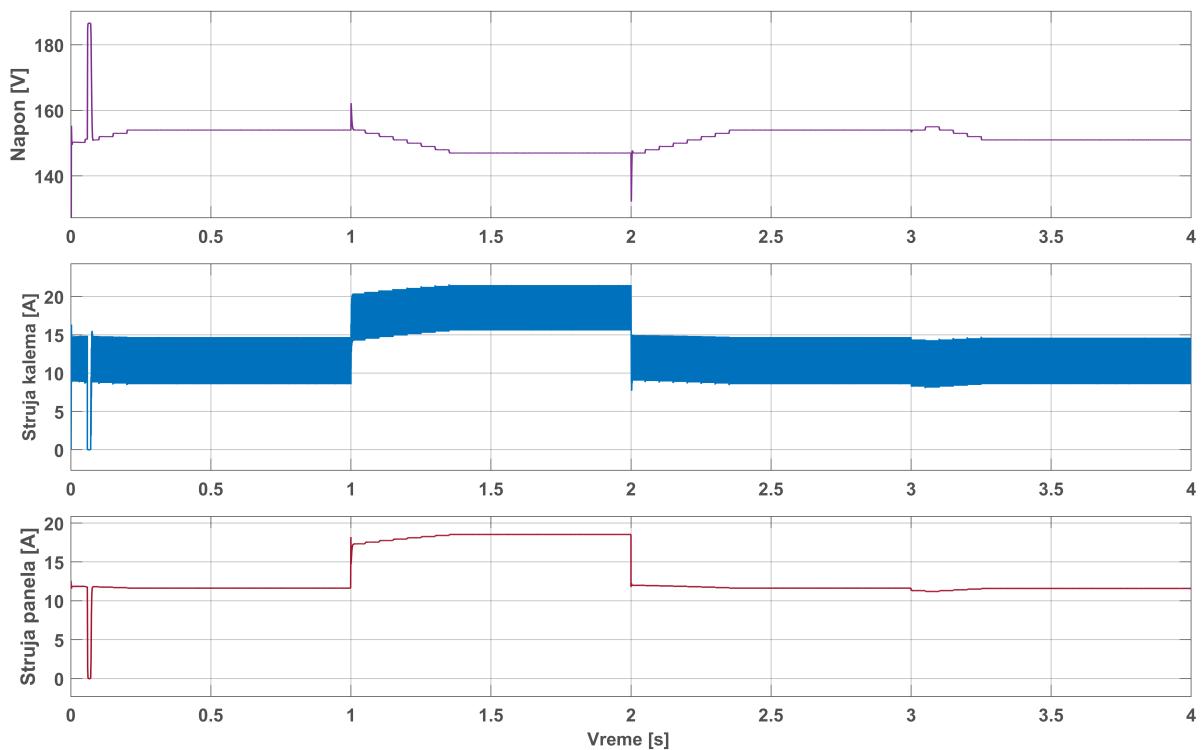
Prikaz veličina od značaja omogućen je osciloskopima. Što se DC-DC pretvarača tiče od značaja je na istom grafiku posmatrati napon i struju PV panela kao i struju kalema koja se od struje panela razlikuje zbog prisustva ulaznog kondenzatora. Takođe, kako bi se staklo uvid u rad MPPT algoritma na istom grafiku omogućen je prikaz referentne vrednosti napona panela i usrednjene vrednosti snage. Od interesa je analizirati i napon jednosmernog međukola kako bi se sagledao rad regulatora napona DC linka. Na istom grafiku moguće je posmatrati i logičke signale za uključenje DC-DC pretvarača, PLL-a, sinhronizacioni signal kao i signal za uključenje invertora. Kako bi se sagledao rad strujnog regulatora i filtriranje ripla koje obavlja LCL filter omogućen je prikaz izlaznih struja invertora i struja mreže. Konačno, od interesa je analizirati i odziv sistema na pojavu viših harmonika u mreži te je omogućen prikaz napona mreže i napona kondenzatora LCL filtra.

7 Prilog - rezultati simulacije

Na slici 21 prikazane su promene iradijanse i temperature vazduha u vremenu koje su poremećaji na koje posmatramo odziv sistema.

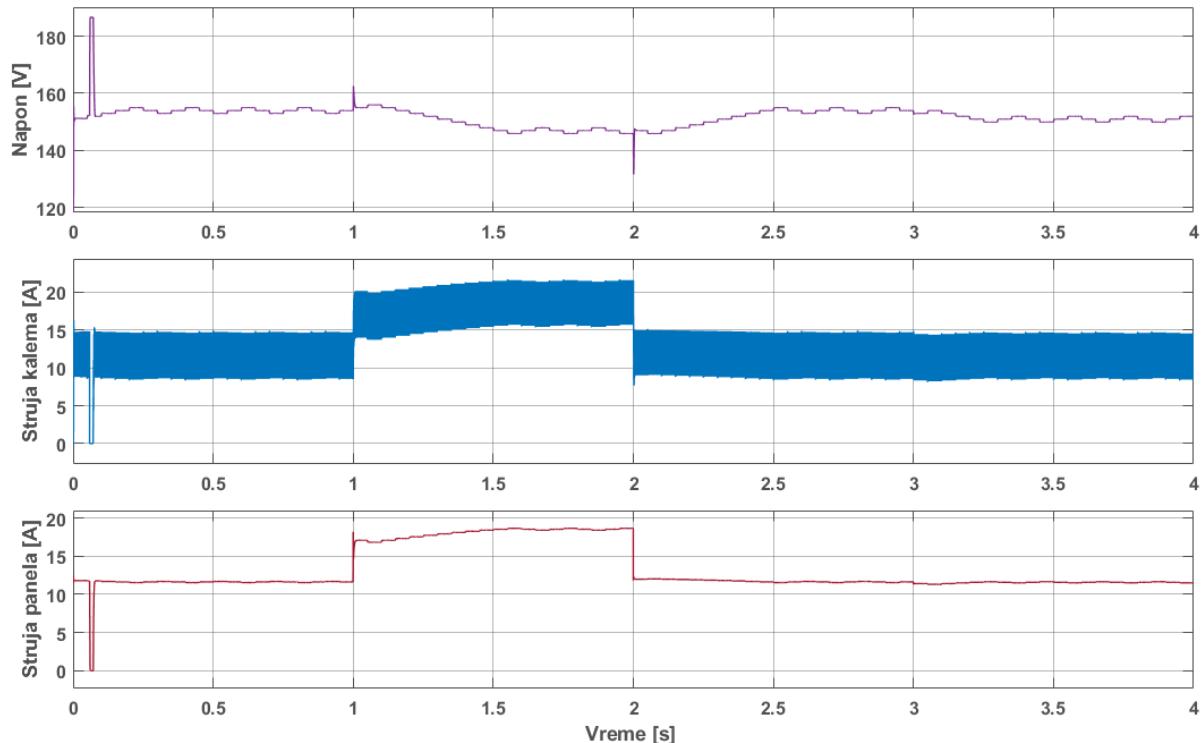


Slika 21: Iradijansa i temperatura vazduha kao ulazni poremećaji u sistem.

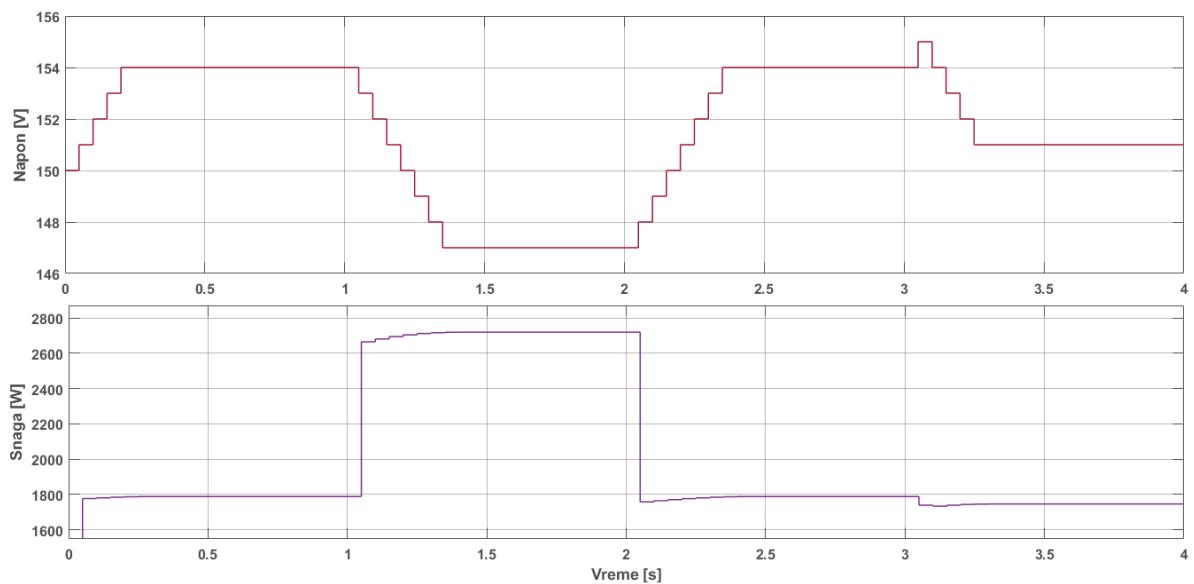


Slika 22: Napon PV panela, struja DC linka i struja PV panela (ikrementalna konduktansa).

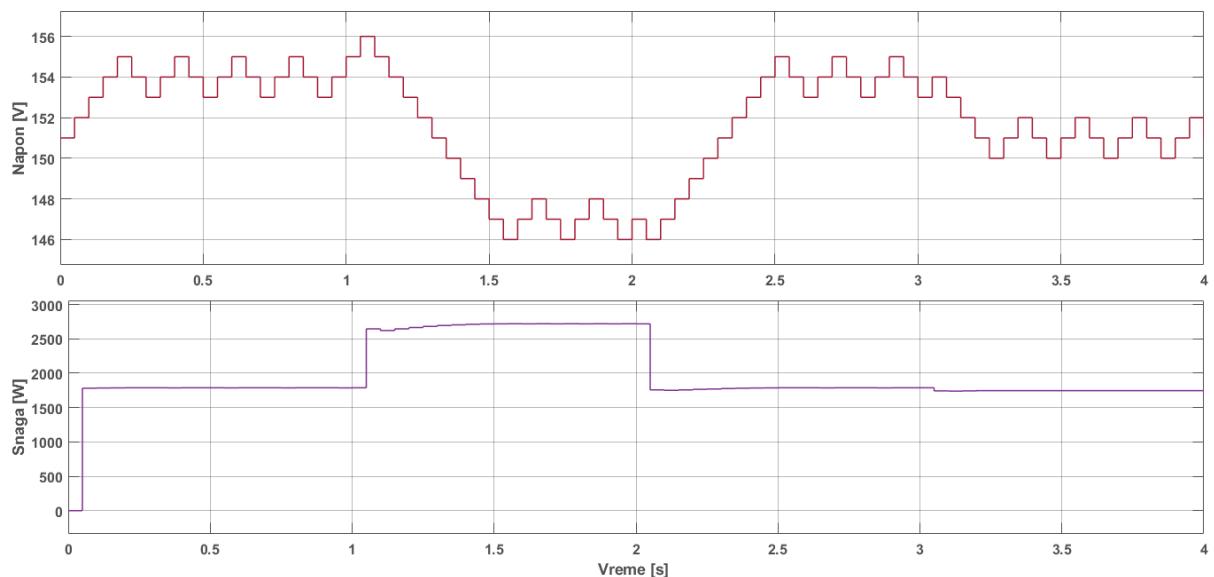
Talasni oblici vezani za ulazni stepen fotonaponskog sistema (boost pretvarač) razlikovaće u zavisnosti od toga koji je MPPT algoritam podešen. Na slikama 22 i 23 prikazani su talasni oblici napona PV panela, struje DC linka i struje PV panela za slučaj algoritma inkrementalne konduktanse i slučaj P&O MPPT algoritma. Referenca za napon fotonaponskog panela koja je izlaz MPPT algoritma, kao i usrednjena vrednost ulazne snage boost pretvarača za dva pomenuta MPPT algoritma prikazani su na slikama 24 i 25. Talasni oblici vezani za izlazni pretvarački stepen (invertor) ne zavise od toga koji je MPPT algoritam podešen. Vrednost napona na jednosmernom međukolu kao i logički signali od značaja prikazani su na slici 26. Talasni oblik struja invertora i mreže može se videti na slikama 27.



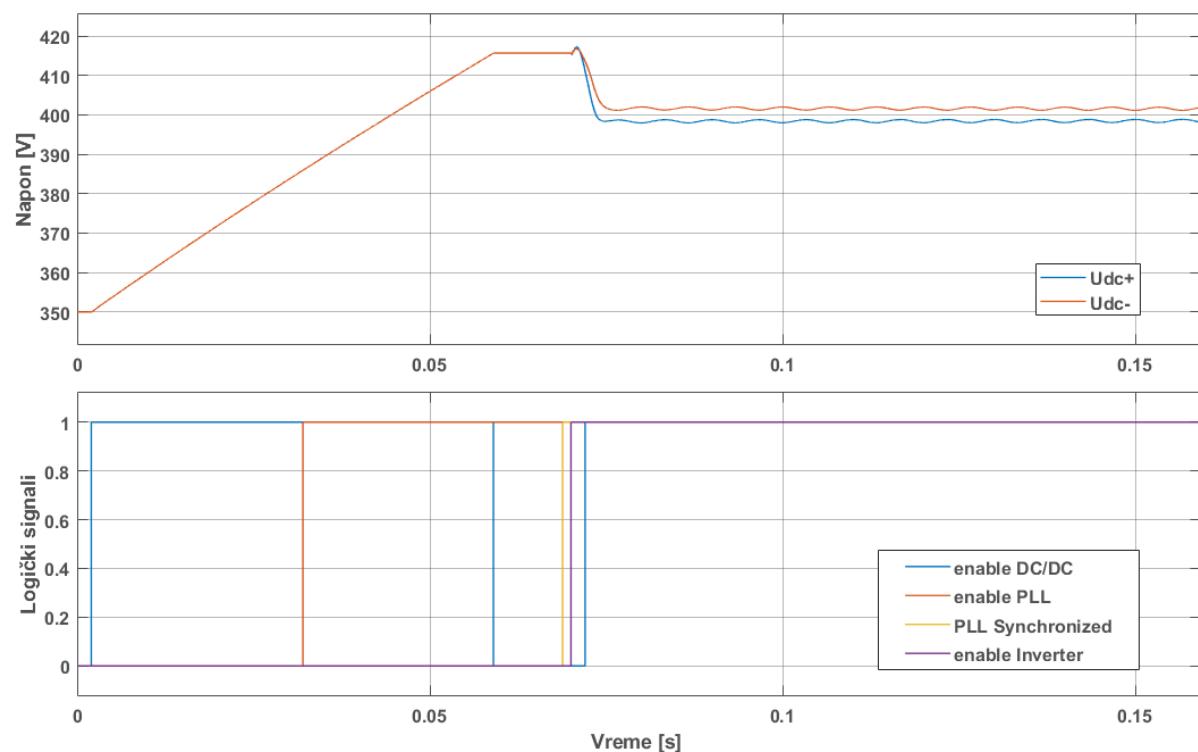
Slika 23: Napon PV panela, struja DC linka i struja PV panela (P&O).



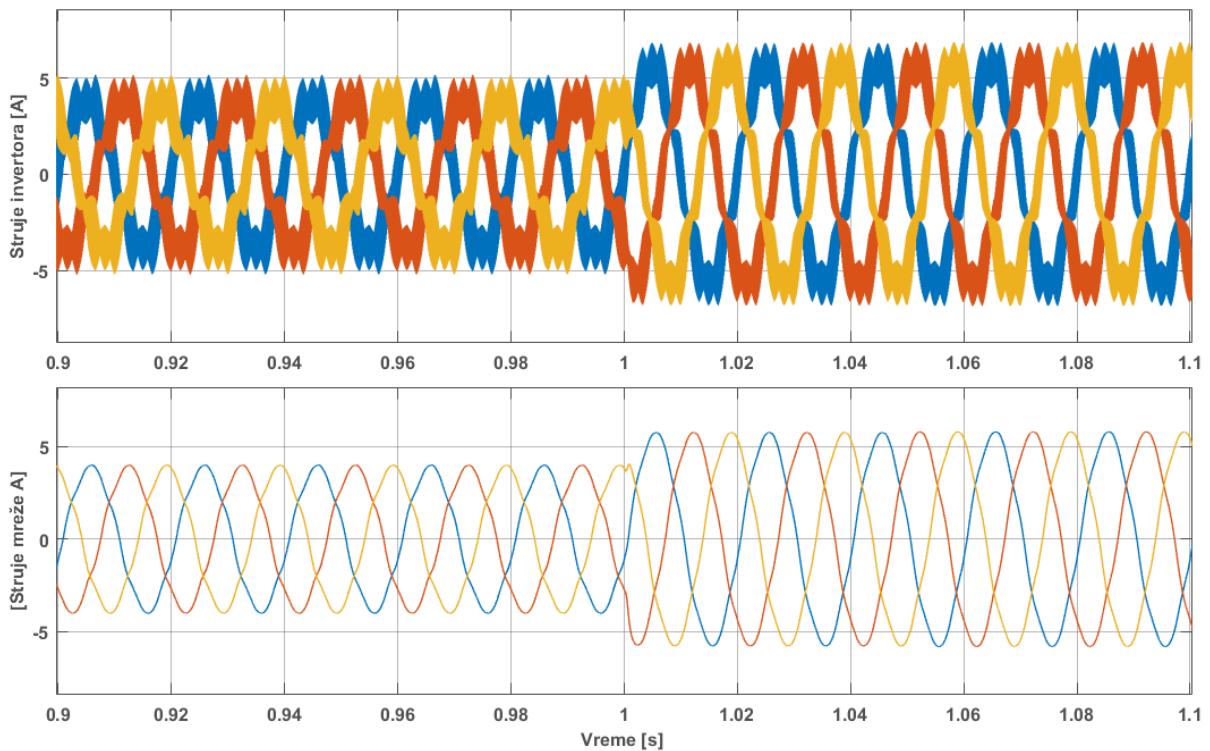
Slika 24: Referentni napon PV panela i usrednjena ulazna snaga boost-a (inkrementalna kond.).



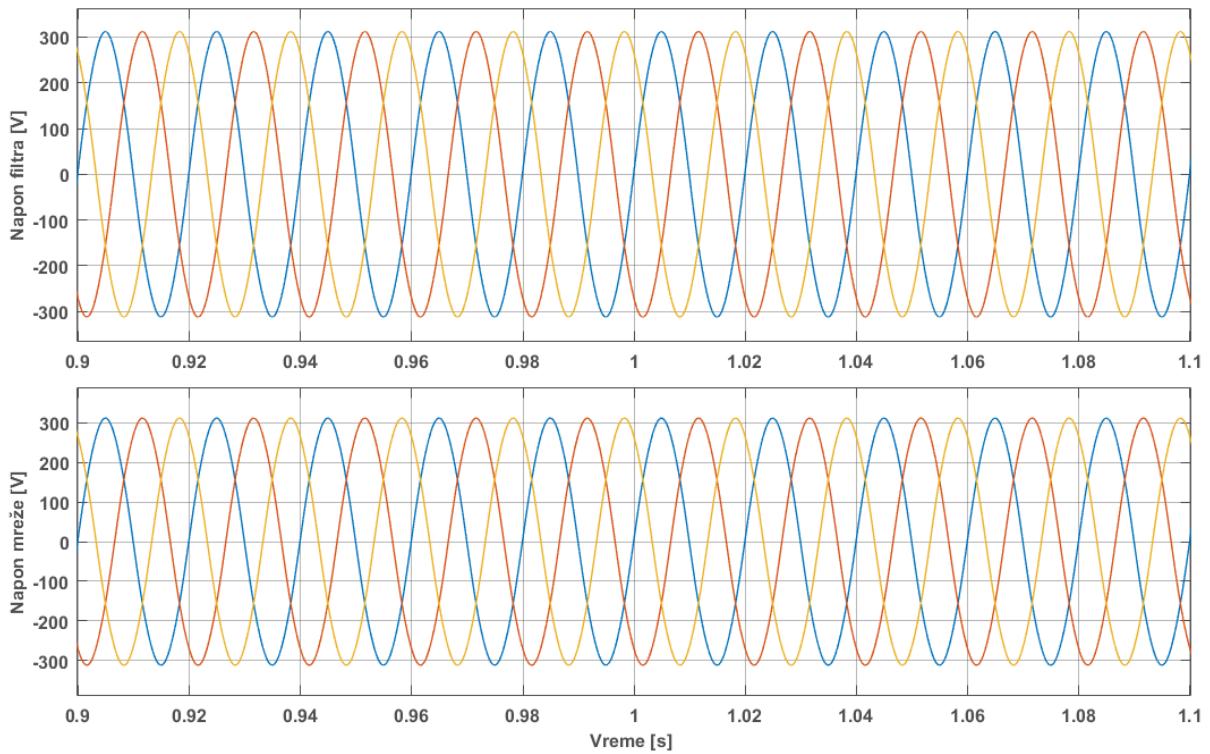
Slika 25: Referentni napon PV panela i usrednjena ulazna snaga boost-a za slučaj P&O.



Slika 26: Napon DC linka i logički signali od značaja.



Slika 27: Talasni oblik struja invertora i mreže.



Slika 28: Napon na kondenzatorima mrežnog filtra i napon mreže.

8 Reference

- [1] D. Maksimovic, R. Erickson, Fundamentals of Power Electronics, Springer, 2003.
- [2] S. Vukosavic, Grid Side Converters-Design and Control, Springer, 2018.